

Docket No.: 50006-188

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Hans Jurgen MATTAUSCH, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 27, 2004	:	Examiner:
	:	
For: MEMORY WITH SYNCHRONOUS BANK ARCHITECTURE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

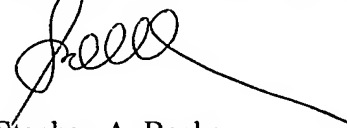
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-167989, filed June 12, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: February 27, 2004

日本国特許庁
JAPAN PATENT OFFICE

50006-188
Mattavsch et al.
February 28, '04
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 6月12日

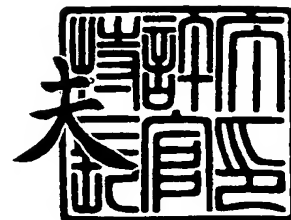
出願番号
Application Number: 特願2003-167989
[ST. 10/C]: [JP 2003-167989]

出願人
Applicant(s): 株式会社半導体理工学研究センター

2003年10月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3087321

【書類名】 特許願

【整理番号】 189647

【提出日】 平成15年 6月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 広島県東広島市西条町大沢 8 4 9 - 2

【氏名】 ハンス・ユルゲン・マタウシュ

【発明者】

【住所又は居所】 広島県東広島市西条町大字御薊字字前長者 6 4 7 - 1 5
9

【氏名】 小出 哲士

【発明者】

【住所又は居所】 広島県広島市安佐南区大塚西 6 - 8 - 1 - 9 0 1

【氏名】 弘中 哲夫

【発明者】

【住所又は居所】 広島県東広島市西条中央 6 - 7 - 2 8 グリーンヒル西
条 3 0 3

【氏名】 内田 裕志

【発明者】

【住所又は居所】 広島県広島市南区宇品御幸 1 - 9 - 3 - 4 0 4

【氏名】 上口 光

【発明者】

【住所又は居所】 広島県東広島市西条町寺家 7 4 0 1 - 1 4 岩城ビル 2
0 3

【氏名】 朱 兆旻

【特許出願人】

【識別番号】 396023993

【住所又は居所】 神奈川県横浜市港北区新横浜三丁目 1 7 番地 2 友泉新
横浜ビル 6 階

【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 163028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9608010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期バンク型メモリ

【特許請求の範囲】

【請求項 1】 複数の 1 ポートメモリセルを含むバンクと 1 ポートと N ポートとの変換を行うポート変換回路とをそれぞれ含む複数の第 1 階層モジュールと

内部クロック信号を発生するクロック生成回路と、

外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行うレジスタ回路と、

レジスタ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起こる場合にポートブロック信号を発生するアクセス競合回避回路と、

レジスタ回路と複数のバンクの間に配置され、レジスタ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ回路または複数のバンクからデータ信号を受け取り、アドレス信号を基にバンク列選択信号を生成してバンクに出力し、かつ、クロック生成回路からの内部クロック信号を選択されたバンクに出力するバンク列選択回路と、

レジスタ回路からアドレス信号を受け取り、アドレス信号を基にバンク行選択信号を生成してバンクに出力するバンク行選択回路とからなり、

前記のポート変換回路は、アクセス競合回避回路からのポートブロック信号がない場合に、バンク列選択信号とバンク行選択信号を基にバンクを活性化する

同期バンク型メモリ。

【請求項 2】 スタティック CMOS 回路で構成され、

前記のポート変換回路は、アドレスを選択するアクティブアドレス選択回路と、データを選択するアクティブデータ選択回路と、アクティブアドレス選択回路とアクティブデータ選択回路とを制御するバンクアクセス制御回路とからなり、

バンクアクセス制御回路は、各ポートのリード／ライト信号、行・列選択信号およびポートブロック信号から、アドレススイッチ許可信号とアクティブアドレス選択回路のビットラインのためのプリチャージ制御信号とを生成して、アクテ

ィブアドレス選択回路に送り、また、各ポートのリードアクセス許可信号とライトアクセス許可信号、及び、アクティブデータ選択回路のビットラインのためのプリチャージ制御信号を生成して、アクティブデータ選択回路に送り、また、クロック生成回路からの内部クロック信号を基にバンク内の制御クロック信号を生成することを特徴とする請求項 1 に記載された同期バンク型メモリ。

【請求項 3】 ダイナミック CMOS 回路を含み、アクセス競合回路及びポート変換回路は前記の内部クロック信号を入力して、アクセス競合回路及びポート変換回路内のダイナミック回路と、ダイナミック回路がプリチャージ期間に入ったときに出力データを保持するラッチ回路を制御することを特徴とする請求項 1 に記載された同期バンク型メモリ。

【請求項 4】 前記のポート変換回路は、アドレスを選択するアクティブアドレス選択回路と、データを選択するアクティブデータ選択回路とアクティブアドレス選択回路とアクティブデータ選択回路とを制御するバンクアクセス制御回路とからなり、

前記のバンクアクセス制御回路は、各ポートのリード／ライト信号、行・列選択信号およびポートブロック信号から、アドレススイッチ許可信号とアクティブアドレス選択回路のビットラインのためのプリチャージ制御信号とを生成して、アクティブアドレス選択回路に送り、また、各ポートの読み出し許可信号と書き込み許可信号、及び、アクティブデータ選択回路のビットラインのためのプリチャージ制御信号を生成して、アクティブデータ選択回路に送り、また、クロック生成回路からのクロック信号を基にバンク内の制御クロック信号を生成することを特徴とする請求項 3 に記載された同期バンク型メモリ。

【請求項 5】 前記のアクティブアドレス選択回路は、アドレス信号をバンクに出力するゲートとして、NMOS トランSMISSIONゲートを用いることを特徴とする請求項 4 に記載された同期バンク型メモリ。

【請求項 6】 アクティブデータ選択回路は、データ信号をバンクに出力するゲートとして、NMOS トランSMISSIONゲートを用いることを特徴とする請求項 4 に記載された同期バンク型メモリ。

【請求項 7】 前記のアクセス競合回避回路は、ダイナミック CMOS 回路

により構成したマルチインプット EXNOR 回路を含み、この EXNOR 回路は、各ポートからのアドレス信号及びその反転信号を入力し、i 番目のポートと j 番目のポートのアドレスが競合しているか否かを示す信号を生成することを特徴とする請求項 3 に記載された同期バンク型メモリ。

【請求項 8】 前記のアクセス競合回避回路は、i 番目のポートと j 番目のポートのアドレスが競合しているか否かを示す信号とポート非活性化信号との OR 演算回路と、そのすべての OR 演算結果の AND 演算回路と、AND 演算結果をポートブロック信号として出力する出力回路を備えることを特徴とする請求項 3 に記載された同期バンク型メモリ。

【請求項 9】 前記のアクセス競合回避回路は、ポート番号の小さいポートにアクセスの優先権を与える回路と、ポート番号の大きいポートにアクセスの優先権を与える回路と、そのいずれかを選択してポートブロック信号を出力する選択回路とを備えることを特徴とする請求項 3 に記載された同期バンク型メモリ。

【請求項 10】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと、

内部クロックを発生するクロック生成回路と、

外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行うレジスタ回路と、

レジスタ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起こる場合にポートブロック信号を発生するアクセス競合回避回路と、

レジスタ回路と複数のバンクの間に配置され、複数のポートに接続されるラインと各バンクからの信号ラインとの交点であるクロスポイントでスイッチングを行うクロスバススイッチングネットワークであって、レジスタ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ回路または複数のバンクからデータ信号を受け取り、アクセス競合回避回路からのポートブロック信号がない場合に、アドレス信号を基にクロスポイントを活性化し、かつ、クロック生成回路からのクロック信号をバンクに出力するクロスバススイッチングネットワーク

からなる同期バンク型メモリ。

【請求項 11】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと

、
内部クロック信号を発生するクロック生成回路と、
外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行うレジスタ回路と、

レジスタ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起
こる場合にポートブロック信号を発生するアクセス競合回避回路と、

複数のクラスタに分けられている前記の複数のバンクについて、レジスタ回路
と複数のクラスタとの間にそれぞれ配置される複数のクロスバスイッチングネッ
トワークとからなり、

各クロスバスイッチングネットワークは、複数のポートに接続されるラインと
1つのクラスタに属するバンクからの信号ラインとの交点であるクロスポイント
でスイッチングを行う複数のクロスバスイッチングネットワークであって、レジ
スタ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ回路また
は複数のバンクからデータ信号を受け取り、アクセス競合回避回路からのポート
ブロック信号がない場合に、アドレス信号を基にクロスポイントを活性化し、か
つ、クロック生成回路からのクロック信号をバンクに出力する

同期バンク型メモリ。

【請求項 12】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと

、
内部クロック信号を発生するクロック生成回路と、
外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行うレジスタ回路と、

レジスタ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起
こる場合にポートブロック信号を発生するアクセス競合回避回路と、

レジスタ回路と複数のバンクの間に配置され、レジスタ回路からリード／ライ
ト信号とアドレス信号を受け取り、アクセス競合回避回路からのポートブロック

信号がない場合に、バンク選択信号を生成して選択されたバンクを活性化し、かつ、クロック生成回路からのクロック信号をバンクに出力するネットワーク回路からなる同期バンク型メモリ。

【請求項 13】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと、
内部クロックを発生するクロック生成回路と、
外部の 1 つのポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部の 1 つのポートからの入力または出力を行うレジスタ回路と、
レジスタ回路と複数のバンクの間に配置され、レジスタ回路からリード／ライト信号とアドレス信号を受け取り、バンク選択信号を生成して選択されたバンクを活性化し、かつ、クロック生成回路からのクロック信号をバンクに出力するネットワーク回路
からなる同期バンク型メモリ。

【請求項 14】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと、内部クロックを発生するクロック生成回路と、外部の複数のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力を行うレジスタ・バッファ回路と、レジスタ・バッファ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起こる場合にポートブロック信号を発生するアクセス競合回避回路と、レジスタ回路と複数のバンクの間に配置されるネットワーク回路とからなる同期バンク型メモリへのアクセス方法であって、

1 つのクロックサイクルが開始されると、レジスタ・バッファ回路はスイッチングネットワーク回路にリード／ライト信号とアドレス信号を出力し、アクセス競合回路にアドレス信号を出力し、スイッチングネットワーク回路は、アクセス競合回避回路からのポートブロック信号がない場合にバンク選択信号を生成し、バンク選択信号が生成されると、選択されたバンクはプリチャージを行い、

クロック生成回路は、メモリ内部のクロック信号を発生し、
前記の選択されたブロックは、クロック生成回路からの内部クロック信号を受け取ると、バンク内のメモリセルへのアクセスを行い、データ読み出しの場合は

、さらにポートへのデータ転送を行う
アクセス方法。

【請求項 15】 それぞれ複数の 1 ポートメモリセルを含む複数のバンクと、内部クロック信号を発生するクロック生成回路と、外部の 1 つのポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力を行うレジスタ・バッファ回路と、レジスタ・バッファ回路からアドレス信号を受け取って、レジスタ・バッファ回路と複数のバンクの間に配置されるスイッチングネットワーク回路とからなる同期バンク型メモリへのアクセス方法であって、

1 つのクロックサイクルが開始されると、レジスタ・バッファ回路はスイッチングネットワーク回路にリード／ライト信号とアドレス信号を出力し、スイッチングネットワーク回路は、バンク選択信号を生成し、バンク選択信号が生成されると、選択されたバンクはプリチャージを行い、

クロック生成回路は、メモリ内部のクロック信号を発生し、

前記の選択されたブロックは、クロック生成回路からの内部クロック信号を受け取ると、バンク内のメモリセルへのアクセスを行い、データ読み出しの場合は、さらにポートへのデータ転送を行う

アクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期バンク型メモリの構成に関するものである。

【0002】

【従来の技術】

同期型多ポートメモリは、複数のポートからの読出し・書込み要求を並列に処理する。多ポートメモリには、面積増加の問題やアクセス競合回避の問題がある。バンク型多ポートメモリでは、バンクと呼ばれる多数の 1 ポートメモリセルを配置し、各ポートとつなぐ。1 ポートメモリセルを用いるため、N ポートメモリセルを用いる方式に比べて面積が小さくできる。バンク型多ポートメモリには、

クロスバ型アーキテクチャと階層構造型アーキテクチャ (HMA)がある。クロスバ型多ポートメモリでは、各バンクと各ポートとの間にクロスバスイッチを介在させる。HMA型メモリでは、各バンクの中に1ポートとNポートの変換回路を設け、マトリクス状に配置されている複数のバンクの中のいずれかのバンクにアクセスするための行・列選択回路を設け、行・列選択回路と並列に動作するアクセス競合回避回路を設ける。

【0003】

【非特許文献1】

H. J. Mattausch, Koji Kishi and Takayuki Gyohten, "Area-efficient multi-port SRAMs for on-chip data-storage with high random-access bandwidth and large storage capacity," IEICE Transactions on Electronics, Vol. E84-C, No. 3, p. 410, 2001

【非特許文献2】

H. J. Mattausch, "Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth," IEE Electronics Letters, Vol. 35, No. 17, pp. 1441-1443, 1999

【非特許文献3】

C. L. Seitz, "The cosmic cube," Commun. ACM, Vol. 28, No. 1, pp. 22-33, 1985

【非特許文献4】

N. Omori and H. J. Mattausch, "Compact central arbiters for memories with multiple read/write ports," IEE Electronics Letters, Vol. 37, pp. 811-813, 2001

【0004】

【発明が解決しようとする課題】

同期バンク型多ポートメモリでは、アクセスタイムを最小化するために、ビットラインを適切な電圧にプリチャージする操作とセンスアンプ回路が通常用いられる。ここで、実際のメモリアクセスとビットラインのプリチャージとは、異なるクロックフェーズで行われていた。たとえば、図1の(a)に示すように、ク

ロック $ck=1$ のときに、メモリアクセスを行い、 $ck=0$ のときにプリチャージを行う。したがって、プリチャージ時間と実際のメモリアクセス時間との和がメモリアクセスのクロックサイクル時間（メモリアクセスサイクル時間）となり、実際のアクセス時間よりも長くなってしまふ。しかし、原理的には、メモリアクセスサイクル時間は、メモリアクセス時間と同等まで短縮できることが望ましい。

【0005】

この発明の目的は、同期バンク型メモリにおいて、メモリアクセスサイクル時間を短縮することである。

【0006】

【課題を解決するための手段】

本発明に係る第1の同期バンク型メモリは、一般の同期バンク型多ポートメモリであり、それぞれ複数の1ポートメモリセルを含む複数のバンクと、内部クロック信号を発生するクロック生成回路と、外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行うレジスタ・バッファ回路と、レジスタ・バッファ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起こる場合にポートブロック信号を発生するアクセス競合回避回路と、レジスタ・バッファ回路と複数のバンクの間に配置され、レジスタ・バッファ回路からリード／ライト信号とアドレス信号を受け取り、アクセス競合回避回路からのポートブロック信号がない場合に、バンク選択信号を生成して選択されたバンクを活性化し、かつ、クロック生成回路からの内部クロック信号をバンクに出力するスイッチングネットワーク回路とからなる。この同期バンク型メモリは、前記の第1から第3の同期バンク型メモリを含む。

【0007】

同期バンク型多ポートメモリがHMA型多ポートメモリである場合、同期バンク型メモリは、前記の複数のバンクと1ポートとNポートとの変換を行うポート変換回路とをそれぞれ含む複数の第1階層モジュールと、前記のクロック生成回路と、前記のレジスタ・バッファ回路と、レジスタ・バッファ回路からアドレス信号を受け取って、前記のアクセス競合回避回路と、レジスタ・バッファ回路と

複数のバンクの間に配置され、レジスタ・バッファ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ・バッファ回路または複数のバンクからデータ信号を受け取り、アドレス信号を基にバンク列選択信号を生成してバンクに出力し、かつ、クロック生成回路からの内部クロック信号を選択されたバンクに出力するバンク列選択回路と、レジスタ回路からアドレス信号を受け取り、アドレス信号を基にバンク行選択信号を生成してバンクに出力するバンク行選択回路とからなる。前記のポート変換回路は、アクセス競合回避回路からのポートブロック信号がない場合に、バンク列選択信号とバンク行選択信号を基にバンクを活性化する。

【0008】

同期バンク型多ポートメモリがクロスバ型多ポートメモリである場合、同期バンク型メモリは、前記の複数のバンクと、前記のクロック生成回路と、前記のレジスタ回路と、前記のアクセス競合回避回路と、レジスタ回路と複数のバンクの間に配置され、複数のポートに接続されるラインと各バンクからの信号ラインとの交点であるクロスポイントでスイッチングを行うクロスバスイッチングネットワークであって、レジスタ・バッファ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ・バッファ回路または複数のバンクからデータ信号を受け取り、アクセス競合回避回路からのポートブロック信号がない場合に、アドレス信号を基にクロスポイントを活性化し、かつ、クロック生成回路からの内部クロック信号をバンクに出力するクロスバスイッチングネットワークとからなる。

【0009】

同期バンク型多ポートメモリが分散クロスバ型多ポートメモリである場合、同期バンク型メモリは、前記の複数のバンクと、前記のクロック生成回路と、前記のレジスタ・バッファ回路と、前記のアクセス競合回避回路と、複数のクラスタに分けられている前記の複数のバンクについて、レジスタ・バッファ回路と複数のクラスタとの間にそれぞれ配置される複数のクロスバスイッチングネットワークとからなる。各クロスバスイッチングネットワークは、複数のポートに接続されるラインと1つのクラスタに属するバンクからの信号ラインとの交点であるクロスポイントでスイッチングを行う複数のクロスバスイッチングネットワークで

あって、レジスタ・バッファ回路からリード／ライト信号とアドレス信号を受け取り、レジスタ・バッファ回路または複数のバンクからデータ信号を受け取り、アクセス競合回避回路からのポートブロック信号がない場合に、アドレス信号を基にクロスポイントを活性化し、かつ、クロック生成回路からの制御クロック信号をバンクに出力する。

【0 0 1 0】

本発明に係る第 2 の同期バンク型メモリは、一般の同期型 1 ポートメモリであり、それぞれ複数の 1 ポートメモリセルを含む複数のバンクと、内部クロックを発生するクロック生成回路と、外部の 1 つのポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部の 1 つのポートからの入力または出力を行うレジスタ・バッファ回路と、レジスタ・バッファ回路と複数のバンクの間に配置され、レジスタ回路からリード／ライト信号とアドレス信号を受け取り、バンク選択信号を生成して選択されたバンクを活性化し、かつ、クロック生成回路からの内部クロック信号をバンクに出力するスイッチングネットワーク回路とからなる。このスイッチングネットワーク回路は、クロスバ型、分散クロスバ型、HMA 型などの種々の態様で構成できる。

【0 0 1 1】

本発明に係る同期バンク型メモリへの第 1 のアクセス方法は、同期バンク型多ポートメモリへのアクセス方法である。ここで、1 つのクロックサイクルが開始されると、レジスタ・バッファ回路はスイッチングネットワーク回路にリード／ライト信号とアドレス信号を出力し、アクセス競合回路にアドレス信号を出力し、スイッチングネットワーク回路は、アクセス競合回避回路からのポートブロック信号がない場合にバンク選択信号を生成し、バンク選択信号が生成されると、選択されたバンクはプリチャージを行う。また、クロック生成回路は、内部クロック信号を発生し、前記の選択されたブロックは、クロック生成回路から内部クロック信号を受け取ると、バンク内のメモリセルへのアクセスを行い、データ読み出しの場合は、さらにポートへのデータ転送を行う。

【0 0 1 2】

本発明に係る同期バンク型メモリへの第 2 のアクセス方法は、同期バンク型 1

ポートメモリへのアクセス方法である。ここで、1つのクロックサイクルが開始されると、レジスタ・バッファ回路はスイッチングネットワーク回路にリード／ライト信号とアドレス信号を出力し、ネットワーク回路は、バンク選択信号を生成し、バンク選択信号が生成されると、選択されたバンクはプリチャージを行う。また、クロック生成回路は、メモリ内部のクロック信号を発生し、前記の選択されたブロックは、クロック生成回路から内部クロック信号を受け取ると、バンク内のメモリセルへのアクセスを行い、データ読み出しの場合は、さらにポートへのデータ転送を行う。

なお、この発明の以上に説明した構成要素は、可能な限り組み合わせることができる。

【0013】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。なお、図面において、同じ参照記号は同一または同等のものを示す。

【0014】

(A) 同期バンク型メモリの新アクセス手法。

同期バンク型多ポートメモリでは、バンクと呼ばれる多数の1ポートメモリセルを配置し、複数のポートに接続する。アクセスタイムを最小化するために、バンク内でビットラインを適切な電圧にプリチャージする操作とセンスアンプ回路が通常用いられる。

【0015】

本発明による同期バンク型メモリのアクセス手法では、1つのクロックサイクルが開始されると、図1の(b)に示すとおり、クロックサイクルの前半(クロック $ck=1$)において、読み出しまたは書き込みの処理におけるバンク内のワードラインドライバの直前までのアクセスと、バンクのプリチャージを同時に行う。すなわち、バンク型メモリのビットラインを適切な電圧にプリチャージするプリチャージ期間に、メモリアクセス時間の一部を同時オーバーラップさせる。クロックサイクルの後半(クロック $ck=0$)では、バンク内でワードラインを動作させて、それ以降のアクセス(バンク内での下位アクセス)を行う。プリチャージ

期間に、メモリアクセス時間の一部をオーバーラップさせて行うので、メモリのアクセスサイクル時間を実効的に短縮できる。したがって、アクセスサイクル時間を短くできる。このアクセス手法は、クロックと同期して動作するすべてのバンク型メモリ（同期バンク型メモリ）に対して適用できる。なお、ここでは、バンク内での下位アクセスは、クロックサイクルの後半に行っているが、それよりアクセスを遅らせた方がよい場合もありうる。したがって、より一般的には、クロックサイクルの開始を基に適当なタイミングで内部クロック信号を生成してバンクのアクセスを行えばよい。（この意味で、後で説明する種々の実施の形態では、内部クロック生成器は反転クロック信号ckqを生成しているが、内部クロック信号は反転クロック信号ckqに限られない。）

【0016】

まず、バンク型多ポートメモリへの応用について述べる。図2は、バンク型多ポートメモリの概念を示す。バンク型多ポートメモリは、1ポートバンク100を用いた複数のバンク構造体と複数のバンク構造体と多ポートを接続するスイッチングネットワーク102からなる。

【0017】

複数の1ポートメモリバンク100は、マトリクス状に配置される。各1ポートバンク100は、通常の1ポートメモリセル（DRAMとSRAMのいずれをも含む）からなるバンクであり、2次元に配列された複数の1ポートメモリセル領域と、1つの1ポートメモリセルを選択するための列選択回路・読み出し／書き込み回路と行選択回路を備え、ワードラインドライバや1ポートメモリセル領域のセンスアンプ回路が含まれる。1つの1ポートメモリセルに1本のワードラインと1対のビットラインが接続される。1ポートバンク100に下位アドレス（1ポートメモリセルのアドレス）とデータが入力されると、該当するメモリセルが選択され、読み出し／書き込み信号に従って読み出し／書き込みが行われる。

【0018】

レジスタ及びバッファ回路104は、クロックサイクルが開始されると、外部の複数のポートからアドレス信号A、データ信号D、リード／ライト信号R/Wを受

け取り、ポートブロック信号PBを外部に送る。スイッチングネットワーク102には、1ポートとNポートとの変換を行うポート変換回路（アドレスとデータ）や、上位アドレス信号を基にバンクを選択するバンクデコーダが備えられる。スイッチングネットワーク102は、レジスタ及びバッファ回路104から受け取った信号を基にバンク選択信号Sを生成し、アドレス信号A、リード／ライト信号R/W、バンク選択信号Sを1ポートバンク100に送り、リード／ライト信号R/Wに従ってデータDをバンク100から読み出しまたはバンク100に書き込む。さらに、アクセス競合回避回路106が、レジスタ・バッファ回路104からのアクセス情報を基に、アクセス競合が発生すると判断するとポートブロック信号PBを発生し、スイッチングネットワーク102とレジスタ・バッファ回路104に送る。また、内部クロック生成器108が内部クロック信号として外部クロックckの反転信号ckqを生成し、クロック信号ckをレジスタ・バッファ回路104に供給し、クロック信号ck, ckqを各バンク104に供給する。（この明細書において“q”は負論理信号を表す）

【0019】

スイッチングネットワーク102の構成には様々なものがあり、大きく分けて、アクセスの競合がバンク以外では起こらない完全閉塞網型と、アクセスの競合がバンク以外の部分で起こる可能性のある非閉塞網型があるが、本発明のアクセス手法はそのどちらにも適用可能である。階層型多ポートメモリとクロスバ型多ポートメモリの2つのバンク型多ポートメモリアーキテクチャに適用可能であるほか、分散クロスバの場合や、クロスバ以外の結合網で構成されている場合にも適用可能である。これらの具体例については後で説明する。

【0020】

図3は、図2に示した一般的なバンク型メモリにおける読み出しと書き込みのアクセスを示す。バンクのプリチャージと同時にバンクのアクセス競合回避及びポート／バンク選択を行うことにより、アクセス時間の一部を隠蔽することが可能となる。これにより、メモリアクセスサイクル時間を短縮できる。

【0021】

読み出しの場合、クロックサイクルの前半（ck=1）で、スイッチングネット

ワーク 102 でのバンク選択とバンク 100 の中でのデコードとバンク 100 のプリチャージを行う。すなわち、レジスタ・バッファ回路 104 への入力信号がスイッチングネットワーク 102 とアクセス競合回避回路 106 に並列に送られ、スイッチングネットワーク 102 内でバンクデコードと 1 ポートと N ポートの間の 1:N 変換（アドレス）が行われ、さらに、バンク 100 内でデコーダが動作する。

【0022】

次に、クロックサイクルの後半（ $ck=0$ ）でバンク 100 内のアクセス（読み出し）とポートへのデータ転送を行う。バンク 100 内で、クロック ckq によってワードラインドライバとビットラインセクタによりワードラインを動作させ、1 ポートセル領域でセンスアンプ回路を動作させる。メモリセルから読み出されたデータは、スイッチングネットワーク 102 内のポート変換回路（データ）、データバス、レジスタ・バッファ回路 104 内の出力回路を経て出力される。

【0023】

書き込みの場合、クロック信号が供給されると、クロックサイクルの前半（ $ck=1$ ）で、読み出しの場合と同様に、スイッチングネットワーク 102 でのバンク選択とバンク 100 の中でのデコードとバンク 100 のプリチャージを行うが、これと並行して、書き込まれるデータが、レジスタ・バッファ回路 104 からスイッチングネットワーク 102 内での 1 ポートと N ポート変換回路（データ）をとおり、バンク 100 に送られる。

【0024】

次に、クロックサイクルの後半（ $ck=0$ ）で、バンク 100 内で、ワードラインドライバを動作させてバンク 100 内のアクセス（書き込み）を行う。ここで、データドライバを動作させて、1 ポートセル領域でデータを書き込む。

【0025】

なお、以上ではバンク型多ポートメモリについて述べたが、バンク型の 1 ポートメモリは、図 2 において、スイッチングネットワークにポート変換機能を持たないものと考えることができる。したがって、本発明のアクセス手法は、バンク型 1 ポートメモリにも適用可能である。もちろん、バンク型 1 ポートメモリの場

合には、アクセス競合回避回路 106 も不要となる。したがって、一般的なバンク型 1 ポートメモリは、それぞれ複数の 1 ポートメモリセルを含む複数のバンクを備えているのは多ポートメモリと同様であり、レジスタ回路は、クロック生成回路が生成した内部クロック信号が入力されると、外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力を行う。ネットワーク回路は、レジスタ回路と複数のバンクの間に配置され、レジスタ回路からリード／ライト信号とアドレス信号を受け取り、バンク選択信号を生成して選択されたバンクを活性化し、かつ、クロック生成回路からのクロック信号をバンクに出力する。

【0026】

(B) 同期式階層型多ポートメモリ (HMA メモリ) への適用。

階層型多ポートメモリ (Hierarchical Multi-port memory Architecture : HMA) は、閉塞網を用いたバンク型多ポートメモリである (非特許文献 1)。図 5 は、スタティック CMOS 回路による HMA メモリの構成を示す。HMA メモリは、第 1 階層モジュール 200、バンク列選択回路 206、バンク行選択回路 208 及びアクセス競合回避回路 210 で構成される。第 1 階層モジュール 200 とは、1 ポートと N ポートの変換回路 (1 : N 変換回路) 202 を 1 ポートバンク 204 とともにモジュール化したものである。1 ポートバンク 204 は、図 1 の 1 ポートバンク 100 と同様に、2 次元に配列された複数の 1 ポートメモリセル領域と、1 つの 1 ポートメモリセルを選択するための列選択回路・読み出し／書き込み回路と行選択回路を備え、ワードラインドライバや 1 ポートメモリセル領域のセンスアンプ回路が含まれる。複数の第 1 階層モジュール 200 がマトリクス状に配置される。バンク列選択回路 206 とバンク行選択回路 208 は、それぞれ、列方向と行方向にバンクを選択する信号 CS, RS を発生する。さらに、内部クロック生成器 212 とレジスタ・バッファ回路 214 が設けられる。内部クロック生成器 212 は、グローバルクロックから内部クロック ck, ckq を生成し、レジスタ・バッファ回路 214、アクセス競合回避回路 210 及び第 1 階層モジュール 200 に供給する。レジスタ・バッファ回路 214 は、外部のポート (ポート番号 $n = 1, 2, \dots, N$) から、アドレス信号 A、データ信号 D、リー

ド／ライト信号R/Wを受け取ってバンク列選択回路206に送り、また、アクセス競合回避回路210に、アドレス信号Aのうちのバンクアドレスを示す部分（上位アドレス）を送る。また、レジスタ及びバッファ回路212は、リード／ライト信号R/Wを各々の第1階層モジュール200にも送る。

【0027】

バンク行選択回路208とバンク列選択回路206がそれぞれ生成するバンク行選択信号 RS_n とバンク列選択信号 CS_n は、各ポートから入力されたアドレスの中の、バンクのアドレスを示す上位部分（m2ビット）をデコードした信号であり、 RS_n と CS_n とがともに選択されたバンク204が、そのポートnのデータ D_n がアクセスするバンクとなる。データ D_n はリード／ライト信号R/Wに従ってバンクから読み出されまたはバンクに書き込まれる。（ここでnはポート番号を表わす。）

【0028】

同一サイクルの同一バンクへのアクセスは1ポートに限られる。そのため、同時に同一のバンクへ複数ポートからアクセスがなされた場合は、アクセス競合が起こる。アクセス競合回避回路210は、各ポートのバンクアドレスを比較し、競合が起きる場合にポートブロッキング信号 PB_n をレジスタ及びバッファ回路212を介して外部に送る。

【0029】

バンク列選択回路206の内部では、列ごとに、データを転送するバッファを分割している（ $D_n(1)$, $D_n(2)$, ..., $D_n(C)$ ）。これにより、 D_n 上のゲート／配線容量が減り、高速化が期待できる。さらに、選択されたバンク列のドライバのみを動作させることにより低消費電力化にも高い効果がある。

【0030】

このHMAメモリの構成の特徴は、アクセス競合回避回路210の出力 PB_n が1ポートとNポートの変換回路202に入力されていることであり、また、1ポートとNポートの変換回路202にクロックの反転信号ckqが入力されていることである。アクセス競合回避回路210の出力 PB_n が1ポートとNポートの変換回路202に入力されることにより、バンク選択とアクセス競合処理が並列に処理可能となり、高速動作に効果がある。また、クロックの反転信号ckqからバン

ク内信号CK_{int}を生成し、選択されたバンクのデコーダのみを動作させることにより、低消費電力化にも高い効果がある。

【0031】

図4は、HMAメモリにおける本発明のアクセス手法を用いた場合の読み出しと書き込みのアクセスを示す。アクセス競合回避処理、及び、バンクとポートの選択をバンクのプリチャージを同時にオーバーラップさせて行うことにより、多ポートメモリのアクセス時間の一部を隠蔽している。これによりメモリアクセスサイクル時間を短縮できる。

【0032】

読み出しの場合、クロック信号が供給されると、クロックサイクルの前半(ck=1)で、バンク列選択回路206でのバンク選択と第1階層モジュール200内のデコードと1ポートバンク204のプリチャージを行う。すなわち、レジスタ・バッファ回路104への入力信号がバンク列選択回路206とアクセス競合回避回路210に並列に送られ、バンク列選択回路206でのバンクデコードと1ポートとNポートの変換回路202でのポート変換(アドレス)が行われ、さらに、1ポートバンク204内でデコーダが動作する。

【0033】

次に、クロックサイクルの後半(ck=0)で1ポートバンク204内のアクセス(読み出し)とポートへのデータ転送を行う。1ポートバンク204内で、ワードラインドライバとビットラインセクタによりワードラインを動作させ、センスアンプ回路を動作させる。メモリセルから読み出されたデータは、1ポートとNポートの変換回路(データ)202、データバス、バンク行選択回路206、レジスタ及びバッファ回路212内の出力回路を経て出力される。

【0034】

書き込みの場合、クロック信号が供給されると、クロックサイクルの前半(ck=1)で、読み出しの場合と同様に、バンク列選択回路206でのバンク選択と1ポートバンク204の中でのデコードと1ポートバンク204のプリチャージを行うが、これと並行して、書きこまれるデータが、レジスタ及びバッファ回路212、バンク列選択回路206、1ポートとNポートの変換回路(データ)2

02を通り、1ポートバンク204に送られる。

【0035】

次に、クロックサイクルの後半 ($ck=0$) で1ポートバンク204内のアクセス(書き込み)を行う。すなわち、1ポートバンク204内で、データドライバを動作させて、1ポートセル領域でデータを書き込む。

【0036】

次に、1ポートとNポートの間の変換を行う1ポートとNポートの変換回路202について説明する。1ポートとNポートの変換回路202は、図6に示すように、アドレスをスイッチングするアクティブアドレス選択回路2020と、データをスイッチングするアクティブデータ選択回路2022、及び、それらの制御を行うバンクアクセス制御(Bank Enable)回路2024からなる。バンクアクセス制御(Bank Enable)回路には、クロックの反転信号 ckq とポートブロック信号 PB_n が入力される。

【0037】

図7に示すバンクアクセス制御回路2024では、各ポートのリード/ライト信号 R/W_n 、行・列選択信号 RS_n 、 CS_n およびポートブロック信号 PB_n から、アドレススイッチ許可信号 SA_n 、アクティブアドレス選択回路のビットラインのためのプリチャージ制御信号 SA_{pre} を生成して、アクティブアドレス選択回路2020に送り、また、各ポートのリードアクセス許可信号 SR_n とライトアクセス許可信号 SW_n 、及び、アクティブデータ選択回路のビットラインのためのプリチャージ制御信号 SW_{pre} を生成して、アクティブデータ選択回路2022に送り、また、バンク内の読み出し許可信号 R_{int} と書き込み許可信号 W_{int} 、及び、バンク内の制御クロック信号 CK_{int} を生成する。この回路の特徴は、各種信号の生成にポートブロック信号 PB_n を考慮していることや、クロックの反転信号 ckq を基にバンク内の制御クロック信号 CK_{int} を生成することである。

【0038】

アドレススイッチ許可信号 SA_n は、行・列選択信号 RS_n 、 CS_n およびポートブロック信号 PB_n がいずれも“1”であるときに出力され、アクティブアドレス選択回路、アクティブデータ選択回路、バンク内のビットラインデコーダ、ワードラ

インデコーダ及びリード／ライトユニットを活性化させる。それ以外の場合は、 $SA_n = "0"$ となり、バンク内のすべての回路は待機状態となる。また、プリチャージ制御信号 SA_{pre} は、いずれかのバンクが選択されたとき（信号 RS_n , CS_n がともに "1" になるとき）に出力される。

【0039】

各ポートのリードアクセス許可信号 SR_n とライトアクセス許可信号 SW_n は、いずれかのバンク 204 が選択されたときに、リード／ライト信号 R/W_n に従って出力される。ビットラインのためのプリチャージ制御信号 SW_{pre} は、いずれかのバンク 204 が選択されたときに出力される。

【0040】

また、バンク内の制御クロック信号 CK_{int} は、いずれかのバンク 204 が選択されたときに出力されるクロックの反転信号 ckq である。また、バンク内の読み出し許可信号 R_{int} と書き込み許可信号 W_{int} は、いずれかのリードアクセス許可信号 SR_n またはライトアクセス許可信号 SW_n とバンク内の制御クロック信号 CK_{int} が出力されるときに、出力される。アクセス競合回避回路 210 の出力 PB_n が 1 ポートと N ポートの変換回路 202 に入力されることにより、バンク選択とアクセス競合処理が並列に処理可能となり、高速動作に効果がある。また、クロックの反転信号 ckq からバンク内信号 CK_{int} を生成し、選択されたバンクのデコーダのみを動作させることにより、低消費電力化にも高い効果がある。

【0041】

図 8 に示すアクティブアドレス選択回路 2020 は、アドレススイッチ許可信号 SA_n によりアクセスが許可されたポート n のアドレス A_n を、バンク内のワードラインデコーダとビットラインデコーダに転送する。アクティブアドレス選択回路 2020 は、グローバル配線（第 2 階層）からバンクへ転送する信号をアドレススイッチ許可信号 SA_n により制御するスイッチ回路として小面積の NMOS トランジスタミッションゲートを用いている。これにより、グローバル配線の負荷容量を減少させることが可能となり、回路の高速化・低消費電力化に対して高い効果が得られる。また、バンク側に、プリチャージ回路として、直列に接続された 2 個のインバータと、プリチャージ制御信号 SA_{pre} により動作する伝送ゲートが設

けられる。

【0042】

図9に示すアクティブデータ選択回路2022も、同様に、各ポートのリードアクセス許可信号 SR_n とライトアクセス許可信号 SW_n を用い、バンク内のデータ信号線 $D_{int,out}$ または $D_{int,in}$ にアクセスが許可されたポートのデータ線 D_n を接続する。入力（データ書き込み）側の場合、ライトアクセス許可信号 SW_n に従って、小面積のNMOSトランسمッションゲートを動作させる。さらに、バンク内のデータ信号線 $D_{int,in}$ の側（書き込みデータ側）に、プリチャージ回路として、直列に接続された2個のインバータと、プリチャージ制御信号 SW_{pre} により動作する伝送ゲートが設けられる。出力（データ読み出し）側の場合、ライトアクセス許可信号 SW_n に従って、トライステートバッファを動作させて、バンク内のデータ信号線 $D_{int,out}$ をポートのデータ線 D_n に接続する。このように、データ書き込み部分とデータ読み出し部分とが分離されている。

【0043】

図10は、ダイナミックCMOS回路を用いた同期HMAメモリを示す。ダイナミックCMOS回路は、同期回路を高速に動作させるために、高性能を求められる回路に用いられている技術である。スタティックCMOSによる回路（図5）との相違点は、アクセス競合回避回路310やバンク内のポート変換回路302にグローバルクロック信号 ck が入力されており、そのクロック信号により、ダイナミック回路やラッチ回路を制御している点である。

【0044】

ダイナミックCMOS回路によるHMAメモリは、図5に示したスタティックCMOS回路によるHMAメモリの構成と同様に、第1階層モジュール300、列バンク選択回路306、行バンク選択回路308及びアクセス競合回避回路310で構成される。第1階層モジュール300とは、1ポートとNポートの変換回路（1:N変換回路）302を1ポートバンク304とともにモジュール化したものである。複数の第1階層モジュール300がマトリクス状に配置される。列バンク選択回路306と行バンク選択回路308は、それぞれ列方向と行方向にバンクを選択する。さらに、内部クロック生成器312とレジスタ・バッファ

回路 314 が設けられる。内部クロック生成器 312 は、グローバルクロックから内部クロック ck , ckq を生成し、レジスタ・バッファ回路 314、アクセス競合回避回路 310 及び第 1 階層モジュール 300 に供給する。レジスタ・バッファ回路 314 は、外部から、アドレス信号 A 、データ信号 D 、リード・ライト信号 R/W を受け取って列バンク選択回路 306 に送り、また、アクセス競合回避回路 310 に、アドレス信号 A のうちのバンクアドレスを示す部分（上位アドレス）を送る。また、レジスタ・バッファ回路 312 は、リード／ライト信号 R/W を各々の第 1 階層モジュール 300 にも送る。第 1 階層モジュール 300 のバンク 304 内は、1 ポートバンク領域のワードラインドライバ、ビットラインセクタ、センスアンプ回路、1 ポートメモリセルを含む。行バンク選択回路 308 と列バンク選択回路 306 がそれぞれ生成するバンク行選択信号 RS_n とバンク列選択信号 CS_n は、各ポートから入力されたアドレスの中の、バンクのアドレスを示す部分（ $m2$ ビット）をデコードした信号であり、 RS_n と CS_n とがともに選択されたバンク 304 が、そのポート n のデータ D_n がアクセスするバンクとなる。データ D_n はリード／ライト信号 R/W に従ってバンクから読み出されまたはバンクに書き込まれる。

【0045】

図 11 は、1 ポートと N ポートの変換回路 302 を示す。1 ポートと N ポートの変換回路 302 は、アドレスをスイッチングするアクティブアドレス選択回路 3020 と、データをスイッチングするアクティブデータ選択回路 3022、及び、それらの制御を行うバンクアクセス制御（Bank Enable）回路 3024 からなる。スタティック CMOS による 1 ポートと N ポートの変換回路との相違点は、ダイナミック回路やラッチ回路を制御するためにグローバルクロック信号 ck が入力されることである。バンクアクセス制御（Bank Enable）回路 3024 には、クロックの反転信号 ckq とポートブロック信号 PB_n のほかに、クロック信号 ck が入力される。また、アクティブアドレス選択回路 3020 とアクティブデータ選択回路 3022 には、クロック信号 ck が入力される。

【0046】

図 12 に示すバンクアクセス制御回路 3024 では、図 7 に示すバンクアクセ

ス制御回路 2024 と同様に、各ポートのリード／ライト信号 R/W_n 、行・列選択信号 RS_n 、 CS_n 、ポートブロック信号 PB_n から、アドレススイッチ許可信号 SA_n 、アクティブアドレス選択回路のビットラインのためのプリチャージ制御信号 SA_{pre} を生成して、アクティブアドレス選択回路 3020 に送り、また、各ポートのリードアクセス許可信号 SR_n とライトアクセス許可信号 SW_n 、及び、アクティブデータ選択回路のビットラインのためのプリチャージ制御信号 SW_{pre} を生成して、アクティブデータ選択回路 3022 に送り、また、バンク内の読み出し許可信号 R_{int} と書き込み許可信号 W_{int} 、及び、バンク内の制御クロック信号 CK_{int} を生成する。ダイナミック回路として、バンク内の読み出し許可信号 R_{int} と書き込み許可信号 W_{int} を生成する回路に使用されているダイナミック OR ゲートのような、多入力ゲートに用いると特に効果的である。

【0047】

図 13 に示すアクティブアドレス選択回路 3020 は、図 8 に示すアクティブアドレス選択回路 2020 と同様に、アドレススイッチ許可信号 SA_n によりアクセスが許可されたポートのアドレスを転送する。アクティブアドレス選択回路 3020 は、グローバル配線（第 2 階層）からバンクへ転送する信号を制御するスイッチ回路として小面積の NMOS トランسمッションゲートを用いている。これにより、グローバル配線の負荷容量を減少させることが可能となり、回路の高速化・低消費電力化に対して高い効果が得られる。また、バンク側に、プリチャージ回路として、直列に接続された 2 個のインバータと、プリチャージ制御信号 SA_{pre} により動作する伝送ゲートが設けられる。

【0048】

図 14 に示すアクティブデータ選択回路 3022 も、同様に、各ポートのリードアクセス許可信号 SR_n とライトアクセス許可信号 SW_n を用い、バンク内のデータ信号線 $D_{int,out}$ または $D_{int,in}$ にアクセスが許可されたポートのデータ線を接続する。1 ポートメモリへデータを送る回路と、列選択回路へデータを送る回路とが分離されている。アクティブデータ選択回路 3022 は、アクティブアドレス選択回路 3020 と同様に、グローバル配線（第 2 階層）からバンクへ転送する信号を制御するスイッチ回路として小面積の NMOS トランسمッションゲート

を用いている。そして、書き込みデータ側に、外部クロックckで制御されるプリチャージ回路とラッチ回路が設けられる。

【0049】

これらの回路の図7～図9に示す回路との1つの相違点はラッチ回路を用いることであるが、ラッチ回路は、信号ckで動作し、ダイナミック回路がプリチャージ期間に入った際、出力データを保持する。そのため、ラッチ回路の位置はダイナミック回路を使用する箇所により制限を受けること（ラッチ回路以降にダイナミック回路は使用不可）以外は、ある程度の融通性がある。このラッチ回路の位置により、メモリのプリチャージ期間にオーバーラップさせることのできる処理が決定する。ただし、ラッチ回路の数と電力消費はトレードオフの関係にある。

【0050】

(C) 同期式クロスバ型多ポートメモリへの適用。

図2に示す多ポートメモリにおいて、スイッチングネットワーク102にクロスバススイッチングネットワークを用いたものをクロスバ型多ポートメモリという。クロスバススイッチングネットワークは、閉塞網であり、アクセスの競合はバンク以外では起こらない。

【0051】

図15は、クロスバ型多ポートメモリの構成を示す。複数の1ポートバンク400がクロスバススイッチングネットワーク402を介してN個のポートのいずれかに接続される。クロスバススイッチングネットワーク402におけるクロスポイント404は、ポート400とバンク400のスイッチングを行う回路であり、各バンクに対してポート数分必要である。また、1つの1ポートバンク400に対応する複数のクロスポイントをまとめた部分406は、HMAメモリの1ポートとNポートの変換回路と同様に、1ポートとNポートの変換を行っている。なお、図示しないが、図4に示した多ポートメモリの場合と同様に、バッファ、衝突処理回路及び内部クロック生成回路が設けられ、同様の動作をする。

【0052】

図16に示す例では、クロスポイント404は、トライステートインバータ、制御回路及びバンクデコーダからなる。トライステートインバータは、バンクア

ドレス、書き込み許可信号及びポートブロック信号を基に生成される活性化信号 EN、ENq に応じて、アドレス、データ及び書き込み許可信号を通す。

【0053】

図17は、図15に示したクロスバ型多ポートメモリにおいて、本発明のアクセス方式を適用した場合の読出しと書き込みアクセスを詳細に示す。バンク400のプリチャージ期間にアクセス競合処理、及び、バンクとポートの選択をオーバーラップさせることにより、メモリアクセスサイクル時間の短縮が可能となる。

【0054】

読み出しの場合、クロックサイクルの前半 ($ck=1$) で、クロスバススイッチングネットワーク402でのバンク選択とバンク400の中でのデコードとバンク400のプリチャージを行う。すなわち、レジスタ及びバッファ回路への入力信号がスイッチングネットワーク402とアクセス競合回避回路106に並列に送られ、スイッチングネットワーク402内でバンクデコードとクロスポイントでの1ポートとNポートの変換（アドレス）が行われ、さらに、バンク100内でデコーダが動作する。

【0055】

次に、クロックサイクルの後半 ($ck=0$) でバンク400内のアクセス（読み出し）とポートへのデータ転送を行う。バンク400内で、ワードラインドライバとビットラインセレクタによりワードラインを動作させ、1ポートセル領域でセンス増幅回路を動作させる。メモリセルから読み出されたデータは、スイッチングネットワーク402内のクロスポイント（データ）、データバス、レジスタ及びバッファ回路内の出力回路を経て出力される。

【0056】

書き込みの場合、クロック信号が供給されると、クロックサイクルの前半 ($ck=1$) で、読み出しの場合と同様に、スイッチングネットワーク402でのバンク選択とバンク400の中でのデコードとバンク400のプリチャージを行うが、これと並行して、書き込まれるデータが、レジスタ及びバッファ回路404からスイッチングネットワーク402内でのクロスポイント（データ）をとおり、バンク400に送られる。

【0057】

次に、クロックサイクルの後半 ($ck=0$) でバンク 400 内のアクセス (書き込み) を行う。すなわち、バンク 400 内で、データドライバを動作させて、1 ポートメモリセル領域でデータを書き込む。

【0058】

クロスバ型多ポートメモリやHMA以外の同期バンク型多ポートメモリにも、HMAと同様にダイナミックCMOS回路が利用できる。図18は、その場合のメモリのブロック図を示す。図2との違いは、クロスバスイッチにダイナミックCMOS回路を利用するために、スイッチングネットワークにクロック信号 ck が入力されている点のみである。図18に示すメモリにおいて、1ポートバンク500、スイッチングネットワーク502、レジスタ・バッファ回路504、アクセス競合回避回路506、内部クロック生成器508は、それぞれ、図2に示すメモリの対応回路と同様に動作し、図2との違いは、クロスバスイッチにダイナミックCMOS回路を利用するために、スイッチングネットワークにクロック信号 ck が入力されている点のみである。

【0059】

クロスバ型多ポートメモリにおけるクロスポイントは、先に述べた通り、バンク毎にみると、HMAの1ポートとNポートの回路と等しいために、HMAメモリで用いた図6～図9の1:N変換回路、及び、図11～図14の1:N変換回路をほとんどそのまま利用できる。しかしその場合には、バンク側には、その入出力信号の送受信を行うための付加回路が必要となる。図19と図20は、それぞれ、クロスポイントにスタティックCMOSを用いた場合とダイナミックCMOSを用いた場合の付加回路を示す。図20の回路について、HMAと同様にラッチ回路の位置はある程度の融通性があり、また、そのラッチ回路の位置により、プリチャージ期間にオーバーラップさせて行う処理が決まる。(なお、1ポートHMAメモリの場合は、信号 CS 、 RS のAND出力を信号 S の代わりに出力すればよい。)

【0060】

(D) 同期分散クロスバ型多ポートメモリへの適用。

分散クロスバ型多ポートメモリは、クロスバ構造多ポートメモリのクロスバを、バンクのクラスタ毎に分割したものである。このクラスタをバンク単位まで分割すると、HMAと等しい構造となる。そのため、分散クロスバ型は、クロスバ型とHMA型の中間の多ポートメモリを表現する構造であるといえる。

【0061】

図21と図22に、それぞれ、スタティックCMOS回路とダイナミックCMOS回路を用いた分散クロスバ型多ポートメモリの構成を示す。図21と図22の例では、クラスタを列毎のバンクで分割している。また、図21と図22中のクロスバスイッチングネットワークの回路には、クロスバ型多ポートメモリとほぼ同じ回路を利用できる。

【0062】

図21に示すスタティックCMOS回路を用いた分散クロスバ型多ポートメモリは、1ポートバンク600、複数のクロスバネットワーク602、バンク選択回路604及びアクセス競合回避回路606で構成される。複数のバンクが列ごとに分割され、クロスバスイッチングネットワーク602に接続される。バンク選択回路604の出力信号 RS_n は、それぞれ対応するクロスバスイッチングネットワーク602に入力される。さらに、内部クロック生成器608とレジスタ・バッファ回路610が設けられる。内部クロック生成器608は、グローバルクロックから内部クロック ckq を生成し、各バンク600に供給する。レジスタ・バッファ回路610は、外部から、アドレス信号A、データ信号D、リード／ライト信号R/Wを受け取ってクロスバスイッチングネットワーク602に送り、また、アクセス競合回避回路606に、アドレス信号Aのうちのバンクアドレスを示す部分（上位アドレス）を送る。また、レジスタ・バッファ回路610は、リード／ライト信号 R/W_n を対応するクロスバスイッチングネットワーク602に送る。バンク200内は、1ポートバンク領域のワードラインドライバ、ビットラインセレクタ、センスアンプ回路、1ポートメモリセルを含む。データ D_n はリード／ライト信号R/Wに従ってバンクから読み出されまたはバンクに書き込まれる。

【0063】

図 22 に示すダイナミック CMOS 回路を用いた分散クロスバ型多ポートメモリにおいて、1 ポートバンク 700、複数のクロスバスイッチングネットワーク 702、バンク選択回路 704 及びアクセス競合回避回路 706、内部クロック生成器 708 とレジスタ・バッファ回路 710 は、図 21 に示すスタティック CMOS 回路を用いた分散クロスバ型多ポートメモリの対応回路と同様な構成を備えるが、ダイナミック CMOS 回路を用いるため、クロック ck が 1 ポートバンク 700 と各クロスバスイッチングネットワーク 702 に入力される。

【0064】

図 21 と図 22 に示した分散クロスバ型多ポートメモリでは、バンクの 2 次元配列に対し、複数のクロスバスイッチングネットワークが配置される。1 つのクロスバスイッチングネットワーク 602、702 が 1 列のバンク 600、700 に接続されていて、バンク選択回路 604 が、クロスバスイッチングネットワーク 602 に選択信号を出力する。しかし、より一般的には、2 次元以上のクラスタ配列も可能である。たとえば、1 つのクロスバスイッチングネットワーク 602、702 と 1 列のバンク 600、700 について、HMA メモリと同様に、1:N 変換回路を各バンクに設けて 2 段階でデコードしてもよい。これにより、配線の容易なレイアウトが実現できる。さらに多段階でデコードすることもでき、その場合トランジスタの数を減らせる。

【0065】

(E) アクセス競合回避回路とワードラインデコーダのダイナミック CMOS 回路化とラッチ回路。

ここでは、全ての同期バンク型多ポートメモリに利用可能な、ダイナミック CMOS 回路を利用したアクセス競合回避回路とワードラインデコーダについて述べる。同期バンク型多ポートメモリでは、従来のスタティック CMOS 回路によるワードラインデコーダやアクセス競合回避回路（非特許文献 3 参照）を用いることもできる。

【0066】

図 23 に示すように、アクセス競合回避回路は、すべてのポート同士の組み合わせに対してアドレスの比較を行い、i 番目のポートと j 番目のポートがアクセ

スしたメモリのアドレスが競合していることを示すアクセス競合検知信号 $C_{i,j}$ を生成するアクセス競合検知回路と、 $C_{i,j}$ から i 番目のポートをブロッキングする信号 PB_i を生成するアクセス制御回路で構成される。なお、ポートブロック信号 PB_i は、競合が起こった時、 $PB_i = "0"$ となるように設計している。

【0067】

図24と図25は、今回新たに発明したダイナミックCMOS回路によるアクセス競合回避回路を示す。これらは、回路構成が単純であり、ポート数の拡張性にも優れ、小面積かつ高速動作を実現する。

【0068】

図24のアクセス競合検知回路は、ダイナミックCMOS回路により構成したマルチインプットEXNORを採用している。入力アドレス信号 A_i の反転信号 A_{q_i} は、バンクセクタのデコーダ部で既に生成されている信号であるため、 A_{q_i} の生成はオーバーヘッドにはならない。出力信号 $C_{i,j}$ は、入力信号 $A_i=A_j$ のときに“0”となり、その他の場合に“1”となる。

【0069】

また、図25のアクセス制御回路は、常にポート番号 i の小さい方にアクセスの優先権を与えるPIH (Port-Importance-Hierarchy) アルゴリズム (非特許文献3参照) を用いた場合に用いる。この回路において、 $C_{i,j}$ とポート非活性化信号 PE_{q_i} とのOR演算と、そのすべてのOR演算結果のAND演算を同時に行っている。 PE_{q_i} を用いることにより、実際にはアクセスが行われていないポートによるアクセス競合の発生を防ぐ。この PE_{q_i} による制御は、従来型のスタティックCMOS回路でも、 $C_{i,j}$ と PE_{q_i} のAND演算の結果をアクセス制御回路の入力信号とすることで実現できる。

【0070】

図26には、フェアアルゴリズム (非特許文献3参照) を採用した場合のアクセス制御回路を示している。フェアアルゴリズムには、PIHアルゴリズムによるアクセス制御回路を、ポート番号の小さいポートにアクセスの優先権を与えるものと、ポート番号の大きなポートにアクセスの優先権を与えるものの2種類が用意されており、その出力をセクタにより選択する。そのため、図25で用い

た、アクセス競合検知回路の出力信号 $C_{i,j}$ とポート非活性化信号 PEq_i とのOR演算と、そのすべてのOR演算結果に対してAND演算を行う回路はそのまま利用可能である。

【0071】

ポート変換回路にスタティックCMOS回路を用い、アクセス競合回避回路にダイナミックCMOS回路を用いる場合には、評価期間の出力信号 PB_i をラッチする必要がある。そのため、この場合には、 PB_i の出力ノードにラッチ回路を付加する必要がある。

【0072】

また、図27と図28は、本発明で使用するバンク内のワードラインデコーダの例を示す。図27は1段のNORゲートで、図28はそれを多段（2段）で構成したものである。後者では多段構成によりトランジスタ数を減少できる。図27、図28ともに、バンクのプリチャージ期間には、出力は“0”となるように設計している。

【0073】

図29は、ダイナミックCMOS回路を用いた場合に必要なラッチ回路の構成例を示す。ここで、(a)はスタティックCMOS回路によるラッチ回路であり、(b)と(c)は、ストレージノードの電荷を利用したダイナミックラッチ回路である。

【0074】

なお、当業者に容易に理解されるように、この発明の以上に説明した種々の実施形態における構成要素は、種々の種類の同期バンク型メモリについて可能な限り組み合わせることができる。

【0075】

【発明の効果】

各種の同期バンク型メモリ（HMAメモリ、クロスバ型メモリ、分散クロスバ型メモリなど）において、多ポートメモリの場合も1ポートメモリの場合も、メモリアクセスサイクル時間を短縮できる。

【図面の簡単な説明】

- 【図 1】 バンク型メモリへのアクセスを説明するための図
- 【図 2】 多ポートのバンク型メモリの概念を示す図
- 【図 3】 一般的なバンク型メモリにおける読み出しと書きこみのアクセスを示す図
- 【図 4】 HMAメモリにおける本発明のアクセス手法を用いた場合の読み出しと書き込みのアクセスを示す図
- 【図 5】 スタティックCMOS回路によるHMAメモリ of 概念を示す図
- 【図 6】 スタティックCMOS回路による1ポートとNポートの変換回路図
- 【図 7】 スタティックCMOS回路によるバンクアクセス制御回路の回路図
- 【図 8】 スタティックCMOS回路によるアクティブアドレス選択回路の回路図
- 【図 9】 スタティックCMOS回路によるアクティブデータ選択回路の回路図
- 【図 10】 ダイナミックCMOS回路によるHMAの概念を示す図
- 【図 11】 ダイナミックCMOS回路による1ポートとNポートの変換回路図
- 【図 12】 ダイナミックCMOS回路によるバンクアクセス制御回路の回路図
- 【図 13】 ダイナミックCMOS回路によるアクティブアドレス選択回路の回路図
- 【図 14】 ダイナミックCMOS回路によるアクティブデータ選択回路の回路図
- 【図 15】 クロスバ型多ポートメモリ of 概念を示す図
- 【図 16】 クロスポイント of 図
- 【図 17】 クロスバ型多ポートメモリ of 場合 of 読出と書き込み of アクセスを示す図
- 【図 18】 ダイナミックCMOS回路による同期バンク型多ポートメモリ

HMA の概念を示す図

【図 19】 クロスバスイッチにスタティック CMOS 回路を用いた場合のバンク側付加回路の図

【図 20】 クロスバスイッチにダイナミック CMOS 回路を用いた場合のバンク側付加回路の図

【図 21】 スタティック CMOS 回路による同期分散クロスバ型多ポートメモリの構成を示す図

【図 22】 ダイナミック CMOS 回路による同期分散クロスバ型多ポートメモリの構成を示す図

【図 23】 アクセス競合回避回路の図

【図 24】 ダイナミック CMOS 回路によるアクセス競合回避回路の図

【図 25】 ダイナミック CMOS 回路によるアクセス競合回避回路の図

【図 26】 フェアアルゴリズムを採用した場合のアクセス制御回路の図

【図 27】 バンク内の NOR 型 1 段ワードラインデコードの図

【図 28】 バンク内の NAND 型 2 段ワードラインデコードの図

【図 29】 ダイナミック CMOS 回路を用いた場合に必要なラッチの回路図

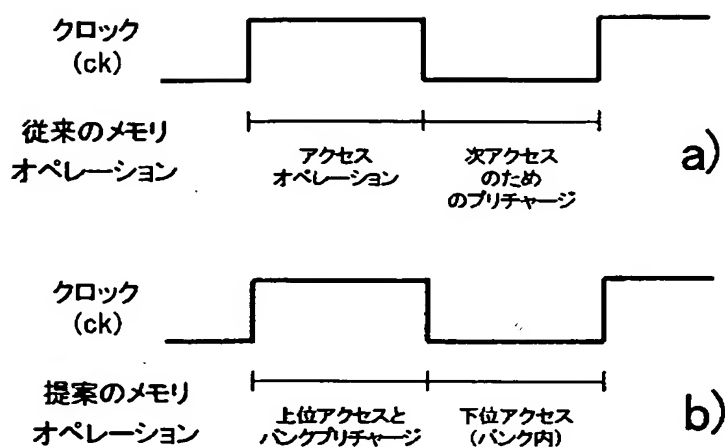
【符号の説明】

100 1ポートバンク、 102 スイッチングネットワーク 102、
 104 レジスタ・バッファ回路、 106 アクセス競合回避回路、
 108 内部クロック生成器、 200 第1階層モジュール、 206
 バンク列選択回路、 208 バンク行選択回路、 210 アクセス競合
 回避回路、 214 内部クロック生成器、 300 第1階層モジュール
 、 302 1:N変換回路、 304 1ポートバンク、 306 列
 バンク選択回路、 308 行バンク選択回路、 310 アクセス競合回
 避回路、 314 内部クロック生成器、 400 1ポートバンク、
 402 クロスバスイッチングネットワーク、 404 クロスポイント、
 406 1つの1ポートバンクに対応する複数のクロスポイントをまとめた部
 分、 500 1ポートバンク、 502 スイッチングネットワーク、

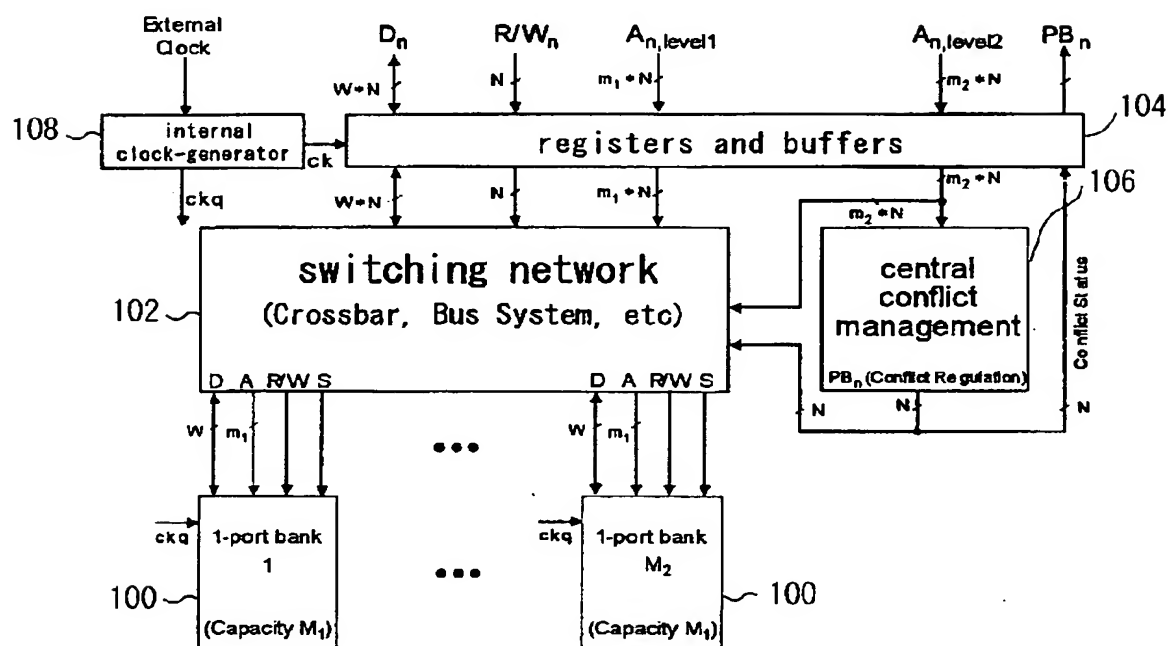
5 0 4 レジスタ・バッファ回路、 5 0 6 アクセス競合回避回路、
5 0 8 内部クロック生成器、 6 0 0 1ポートバンク、 6 0 2 クロ
スバススイッチングネットワーク、 6 0 4 バンク選択回路、 6 0 6 ア
クセス競合回避回路、 6 0 8 内部クロック生成器。

【書類名】 図面

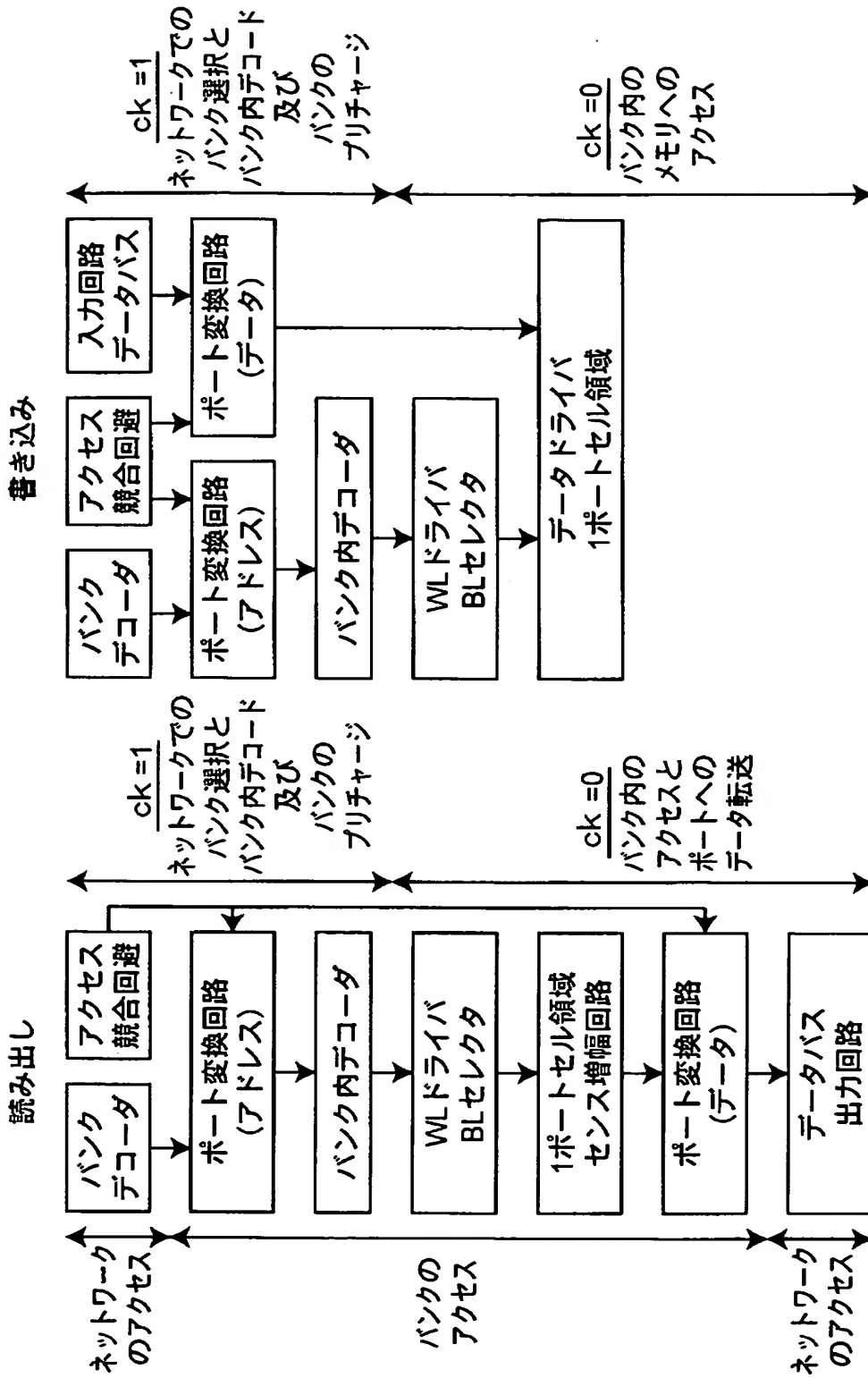
【図 1】



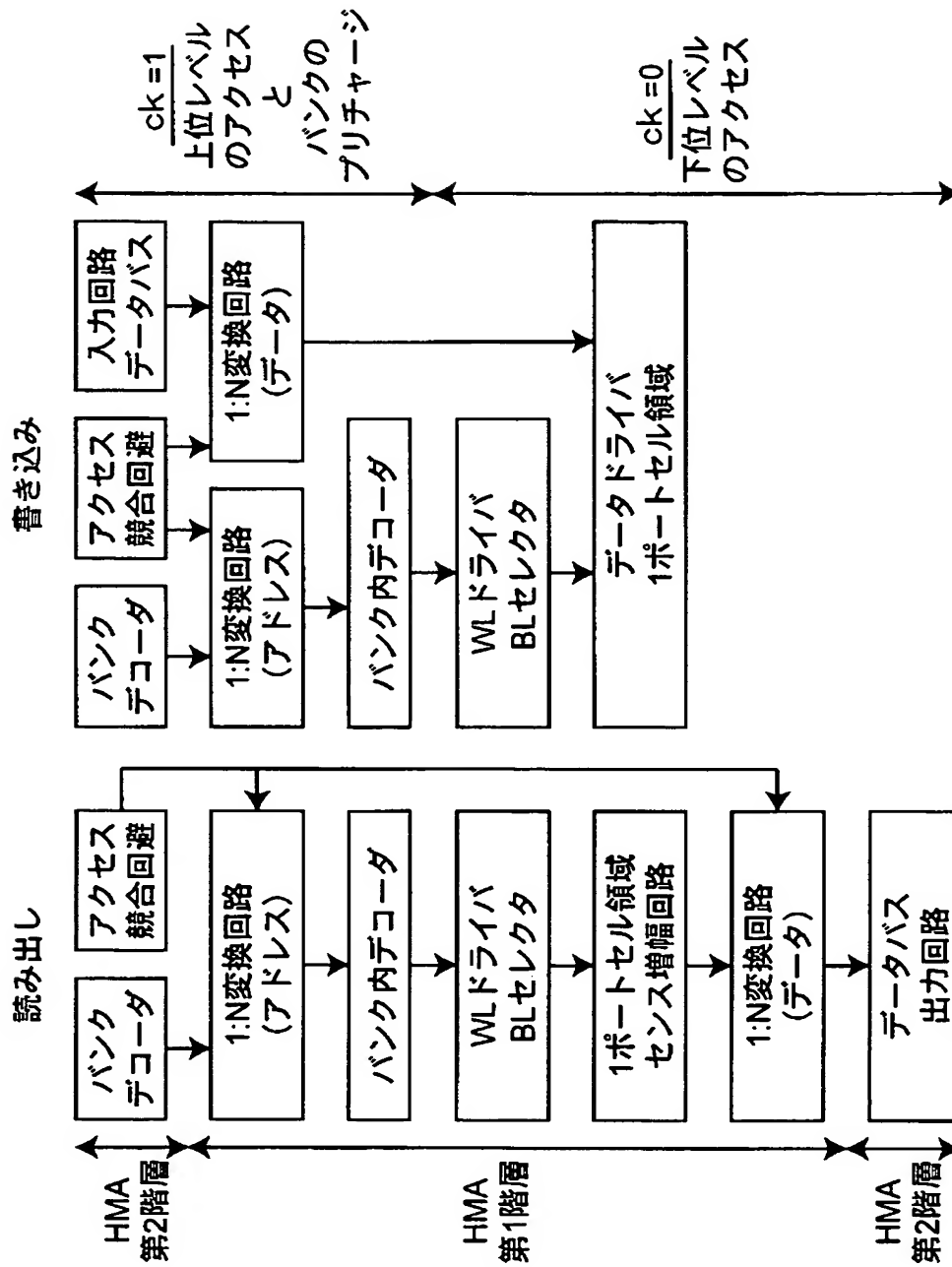
【図 2】



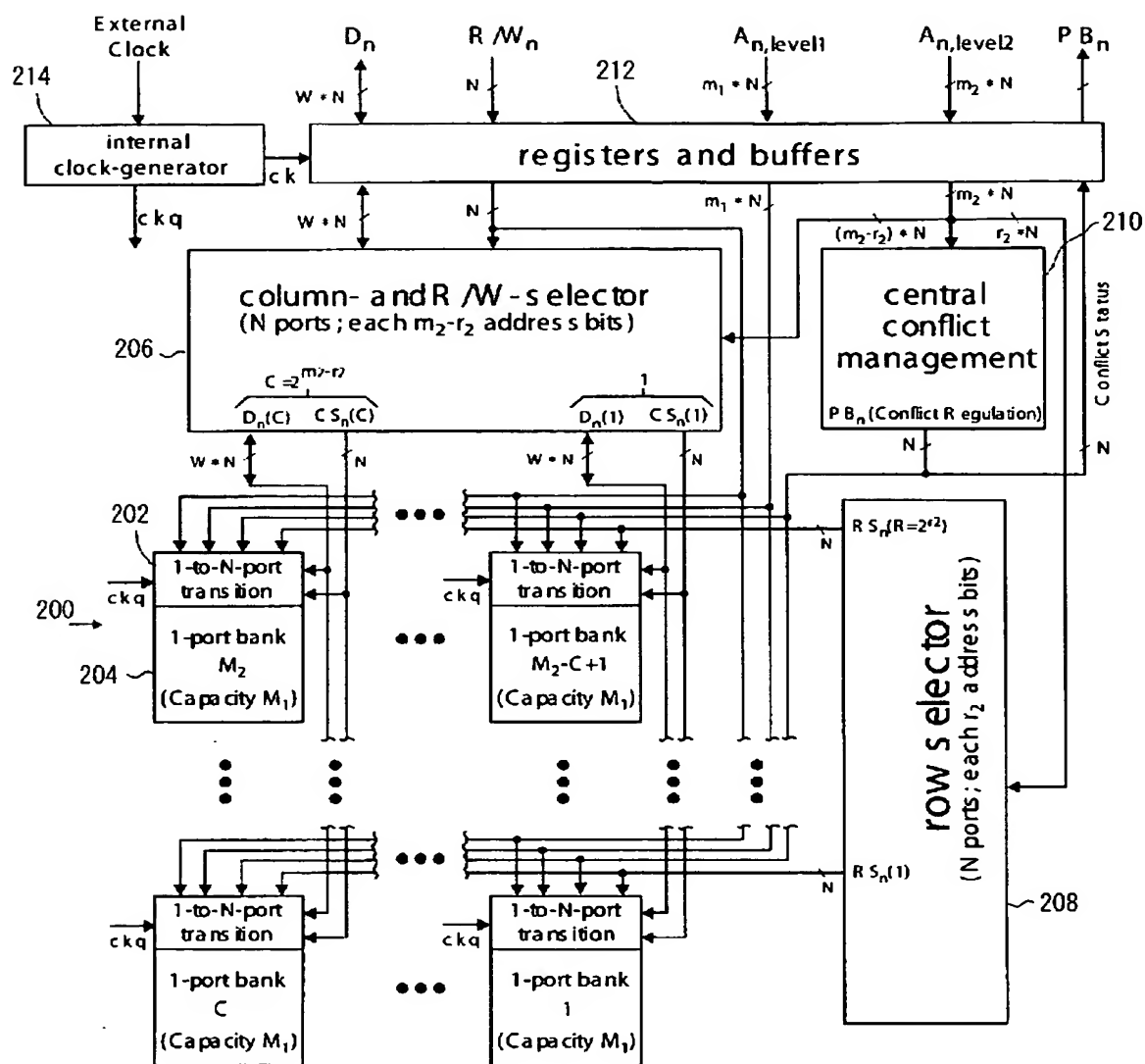
【図 3】



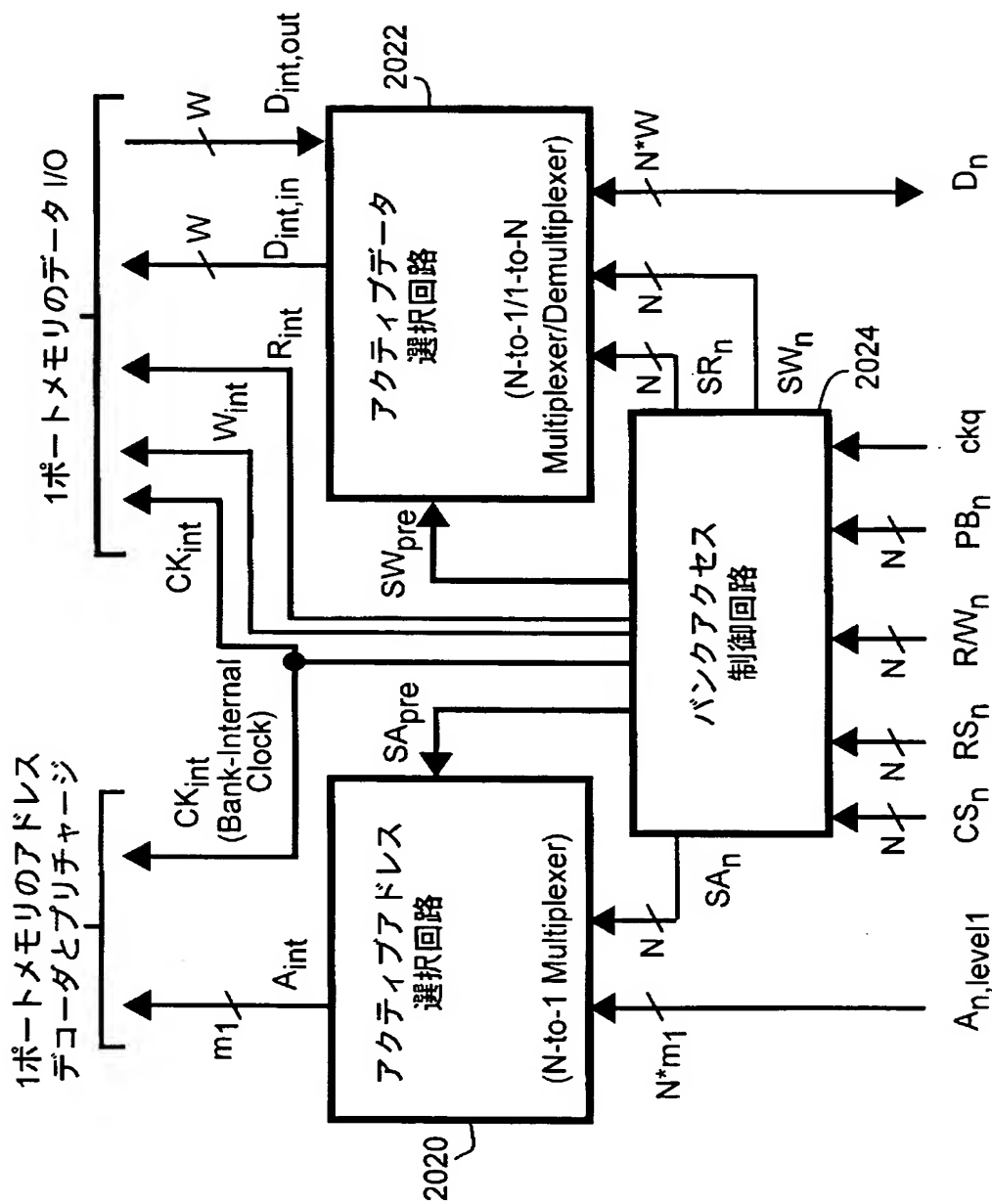
【図 4】



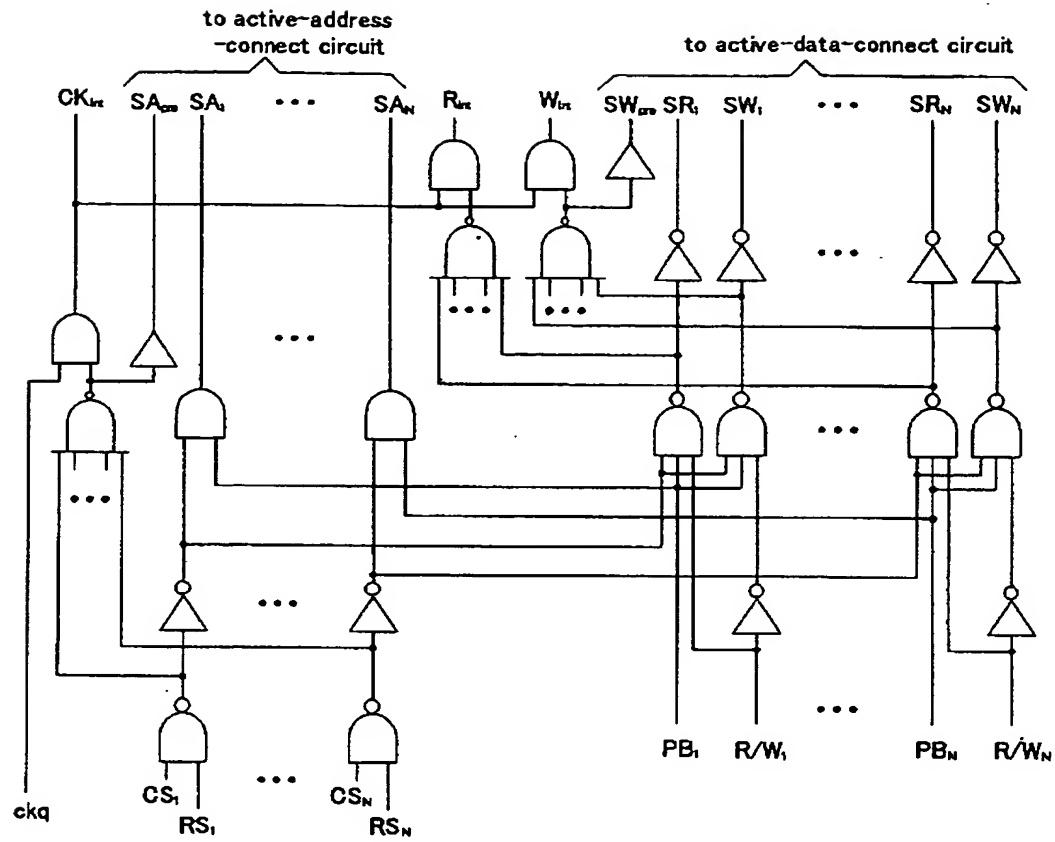
【図 5】



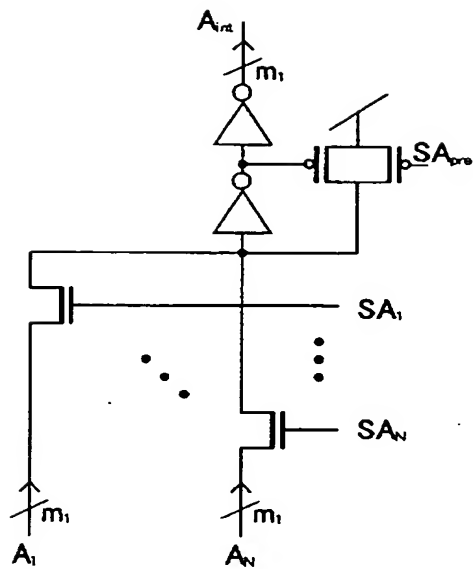
【図 6】



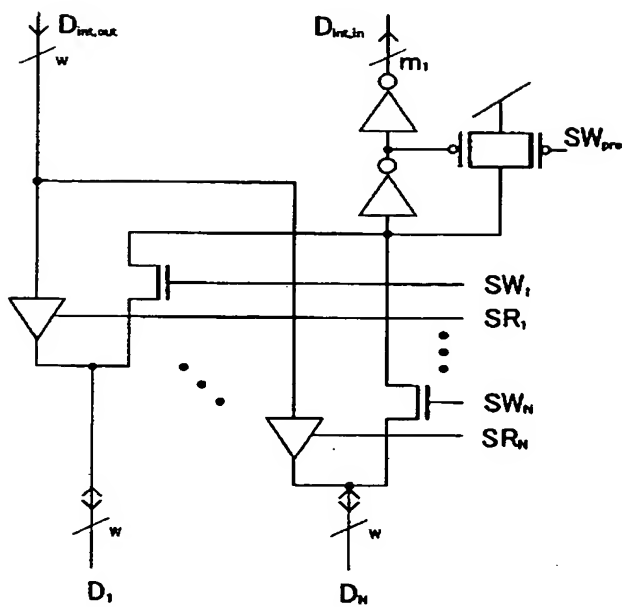
【図 7】



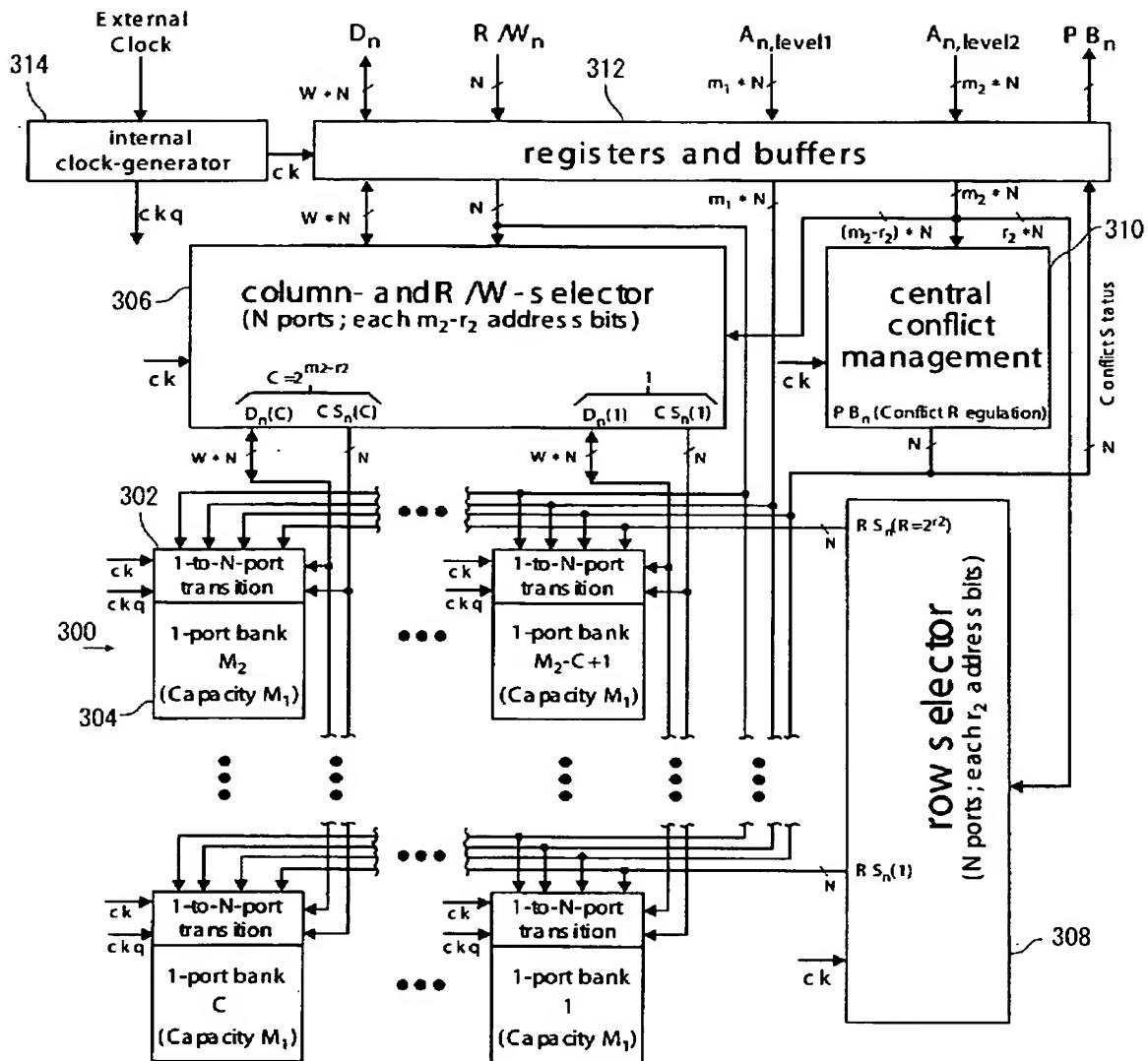
【図 8】



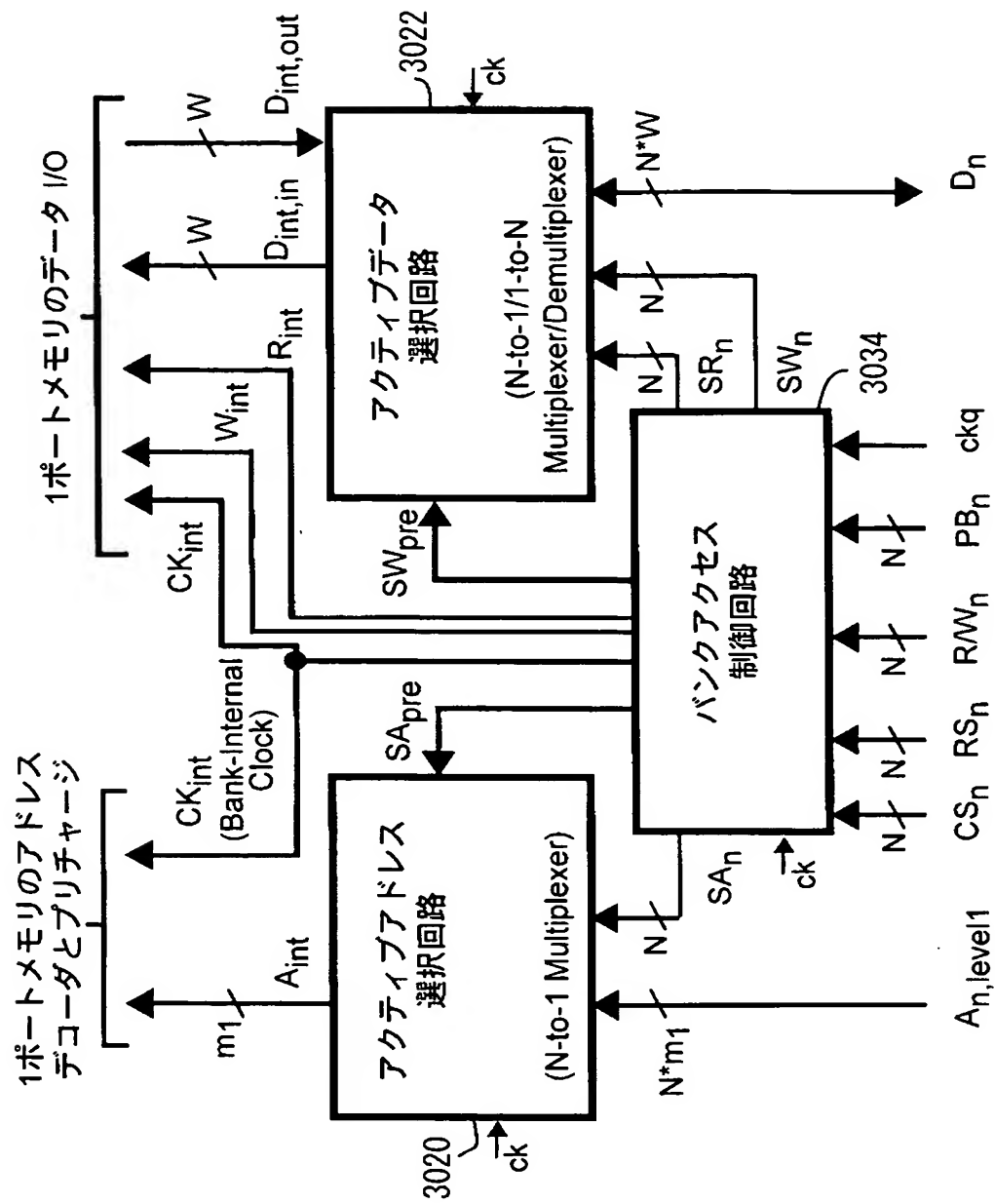
【図 9】



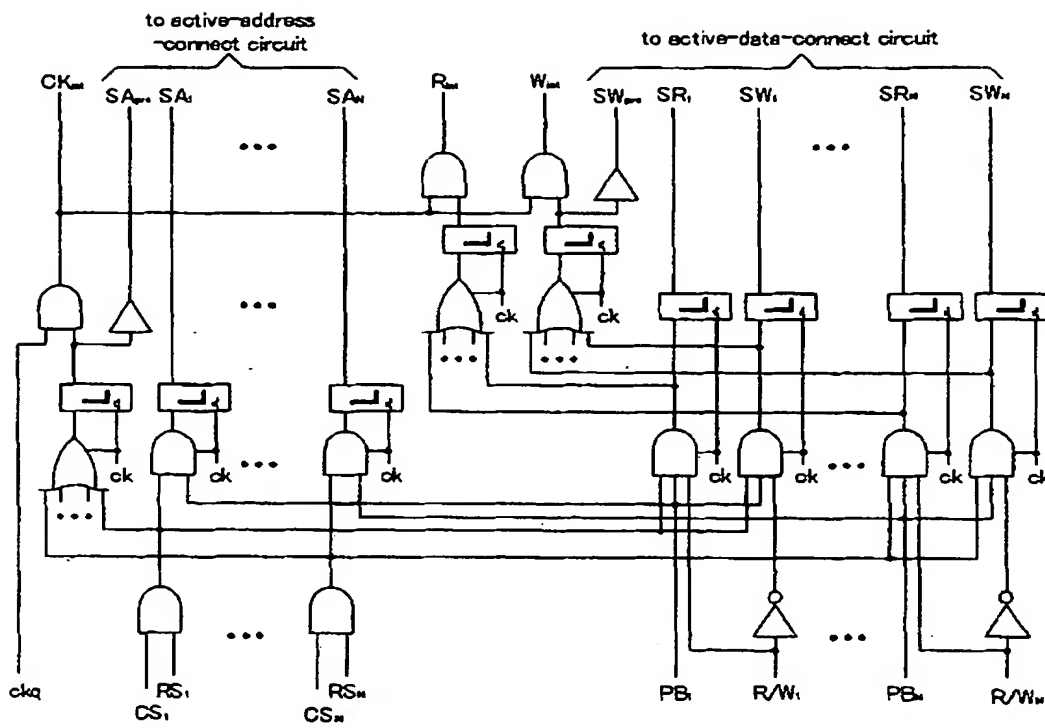
【図 10】



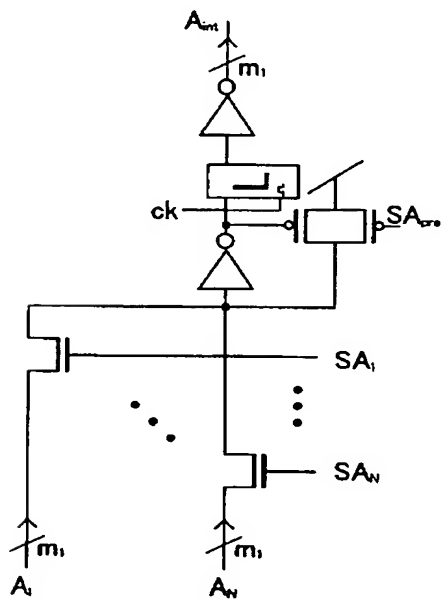
【図 11】



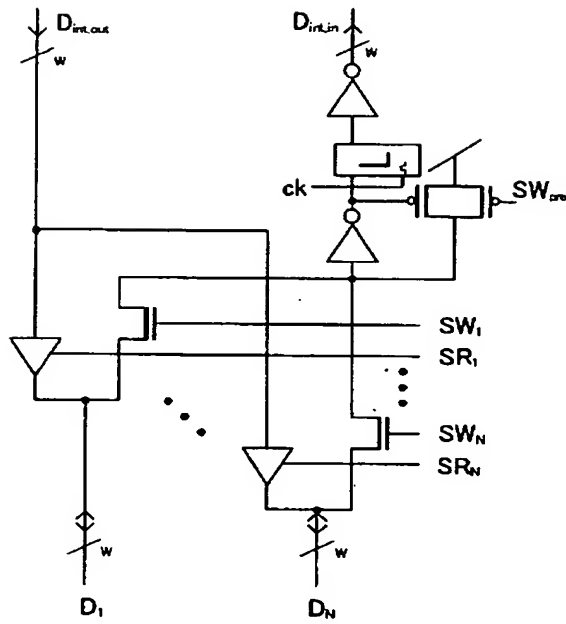
【図12】



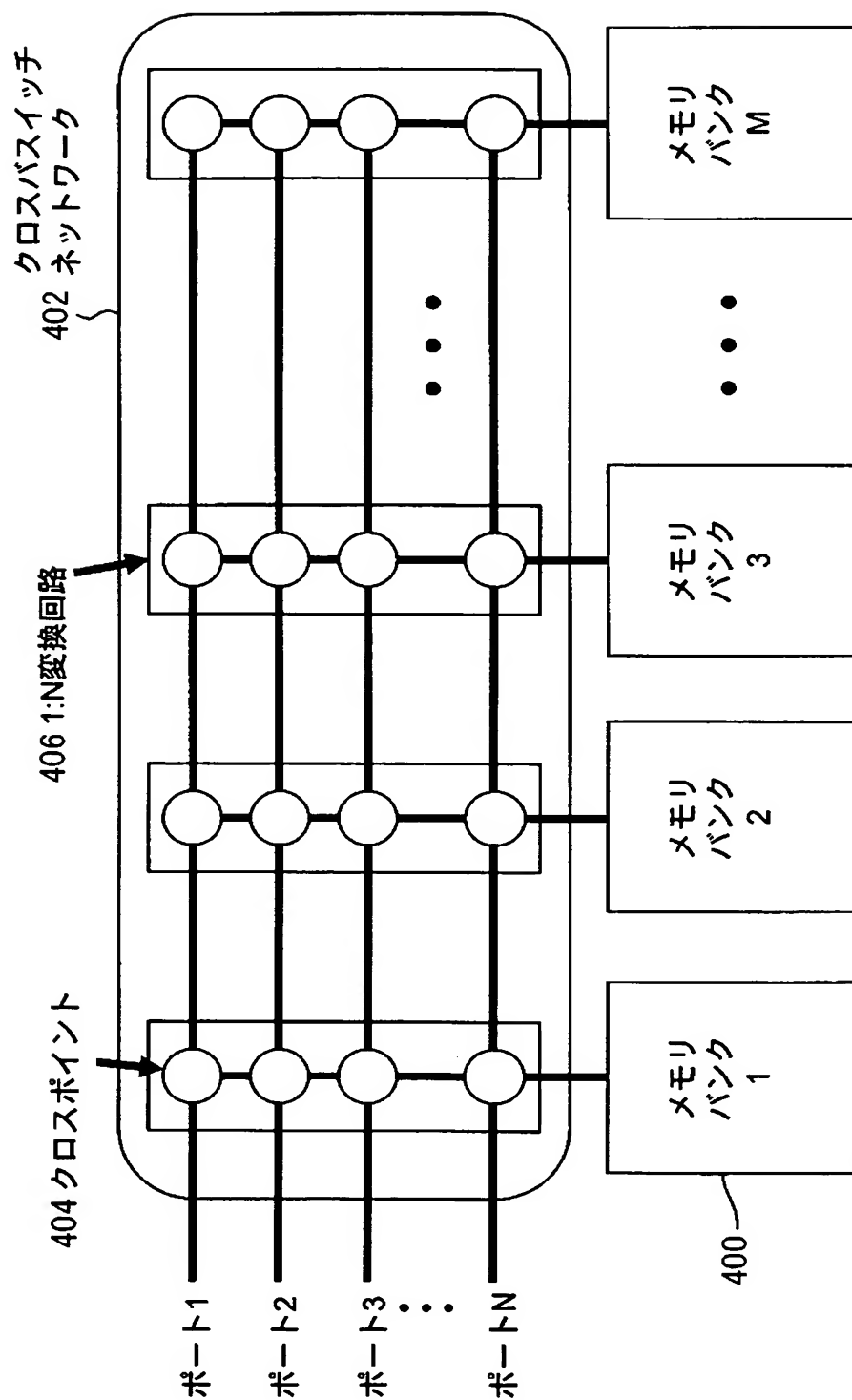
【図13】



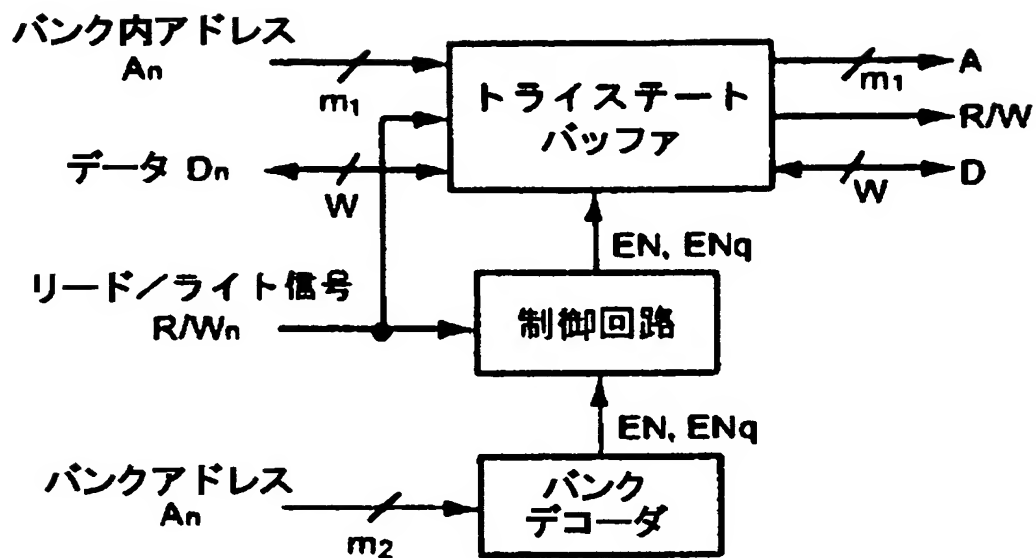
【図 14】



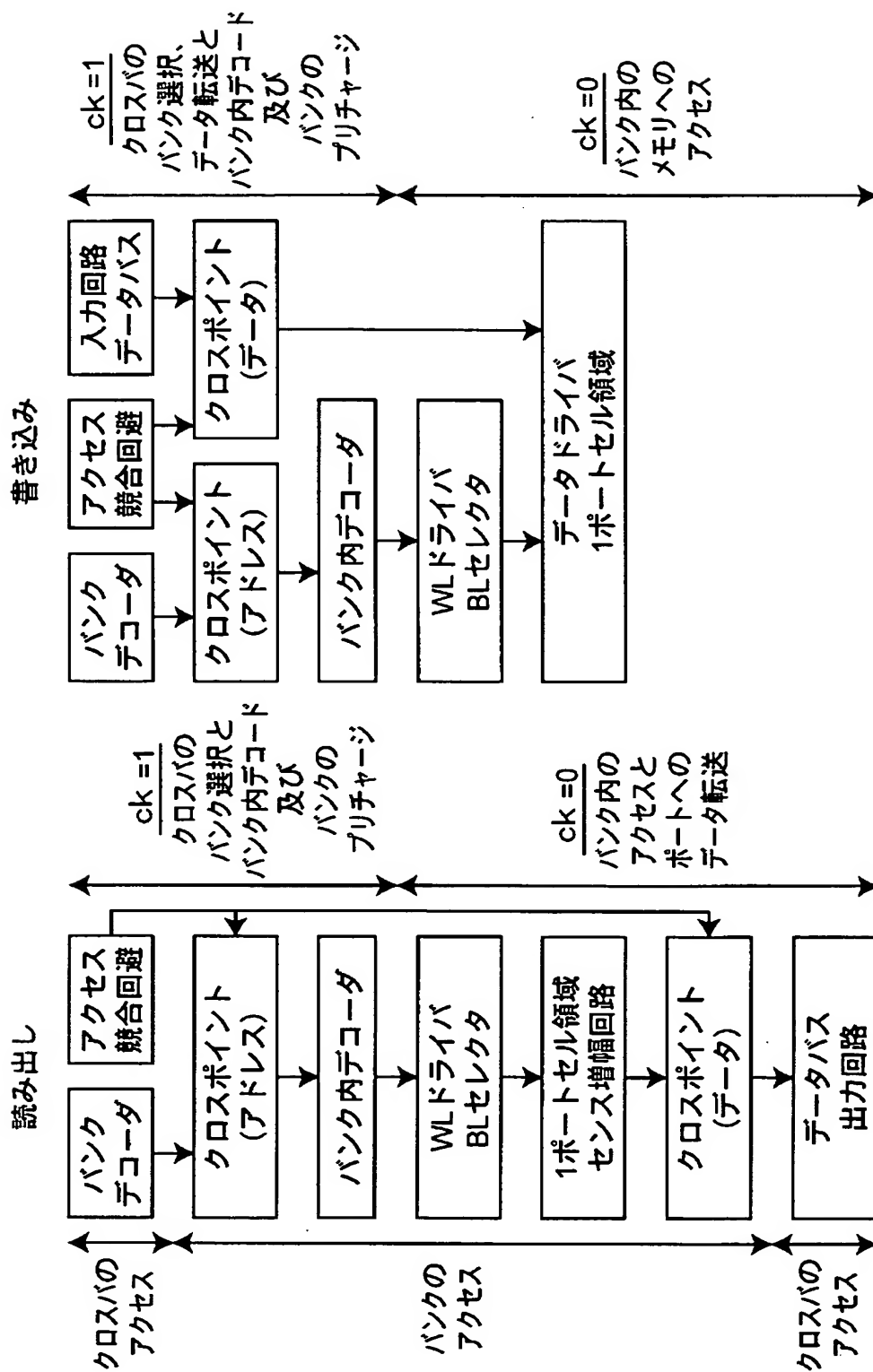
【図 15】



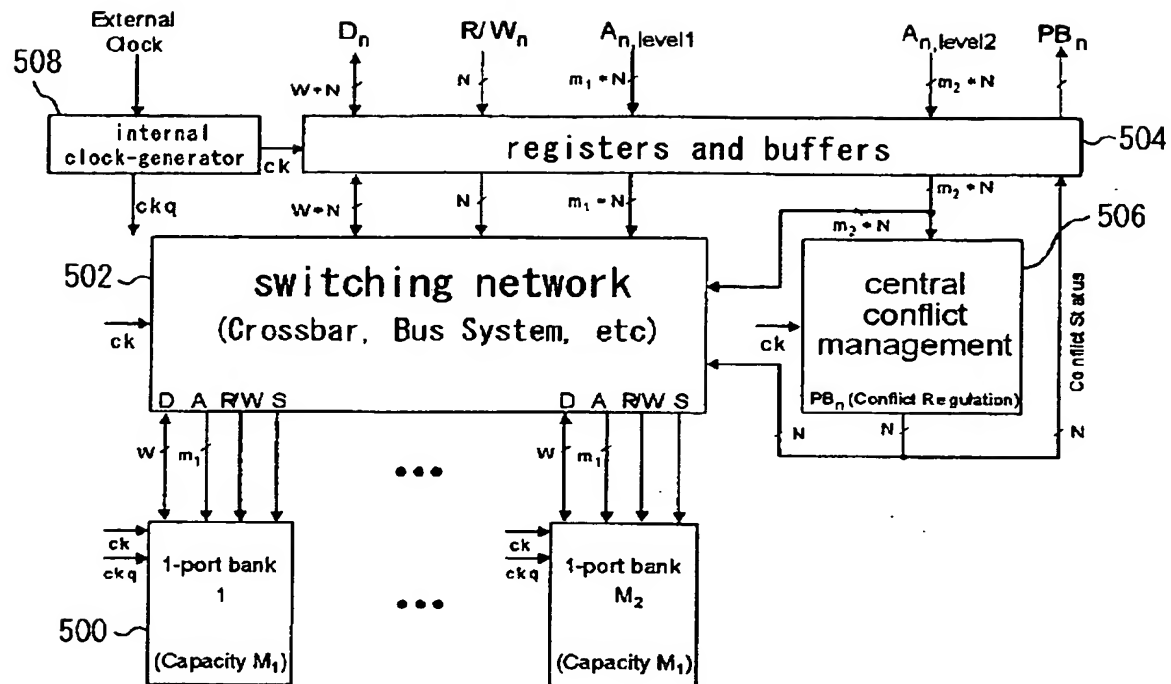
【図 16】



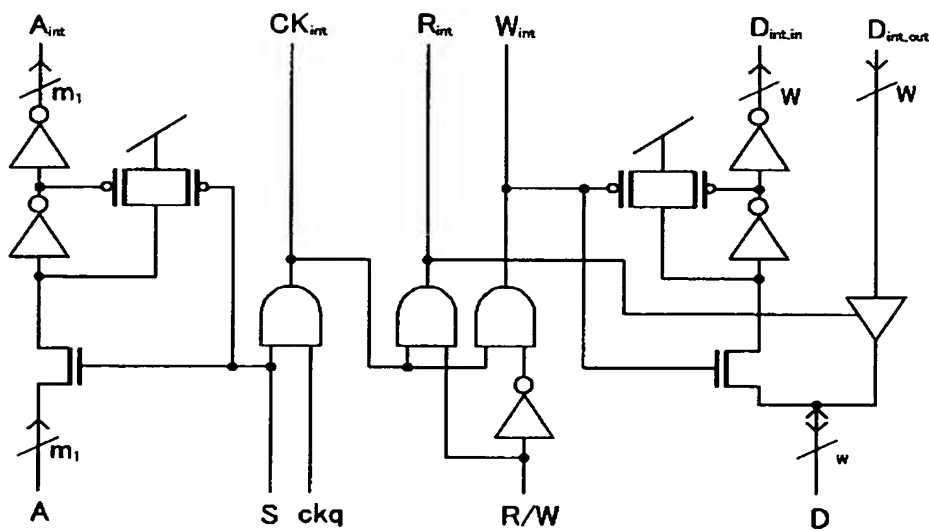
【図 17】



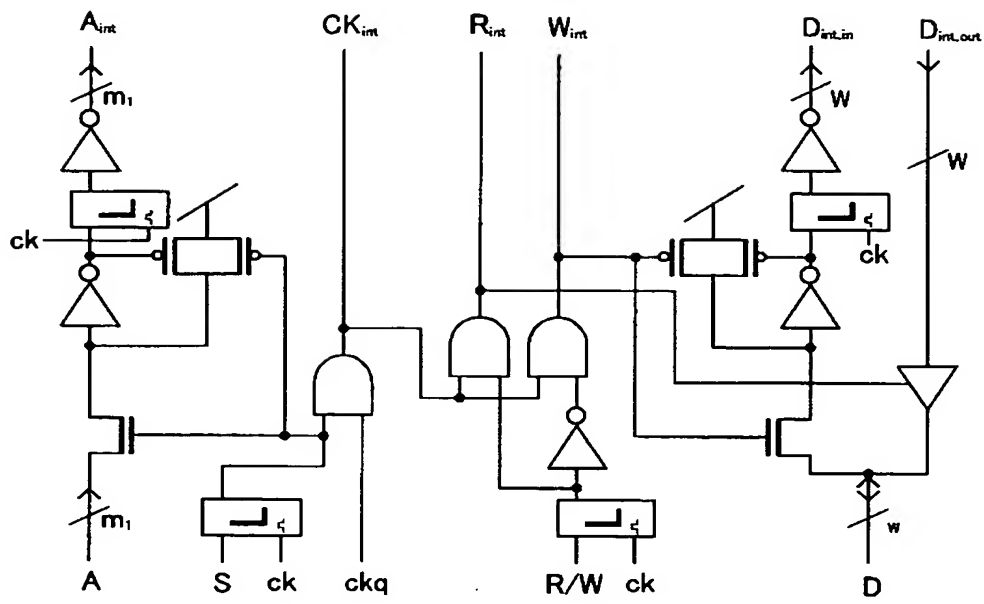
【図 18】



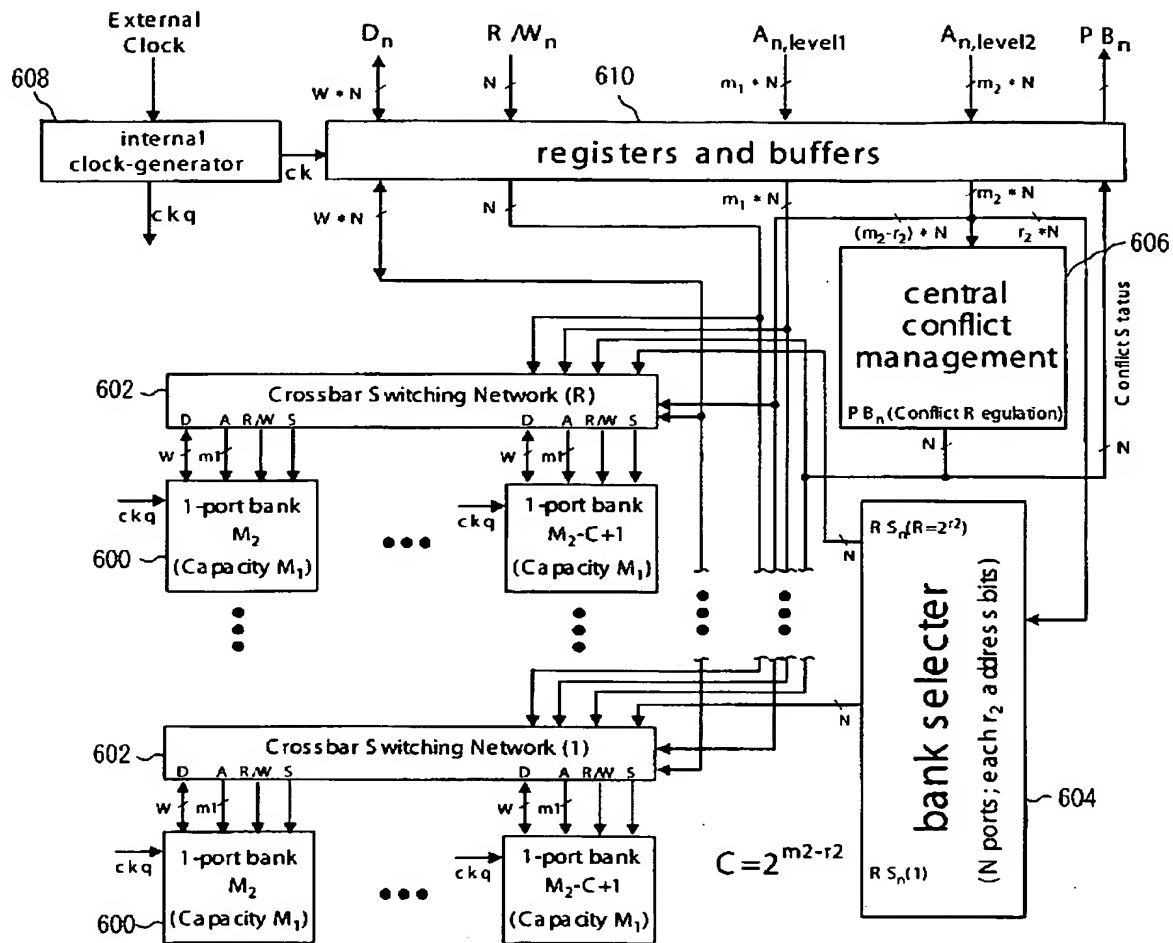
【図 19】



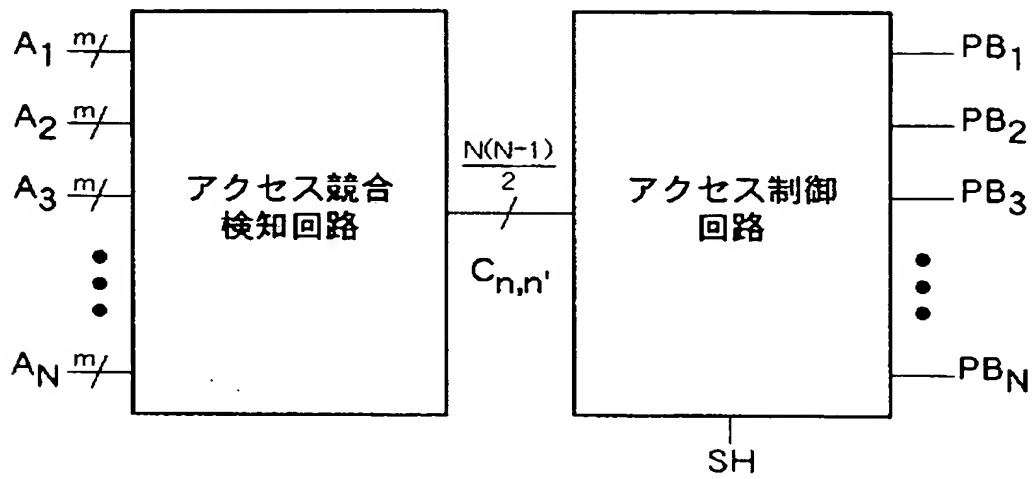
【図 20】



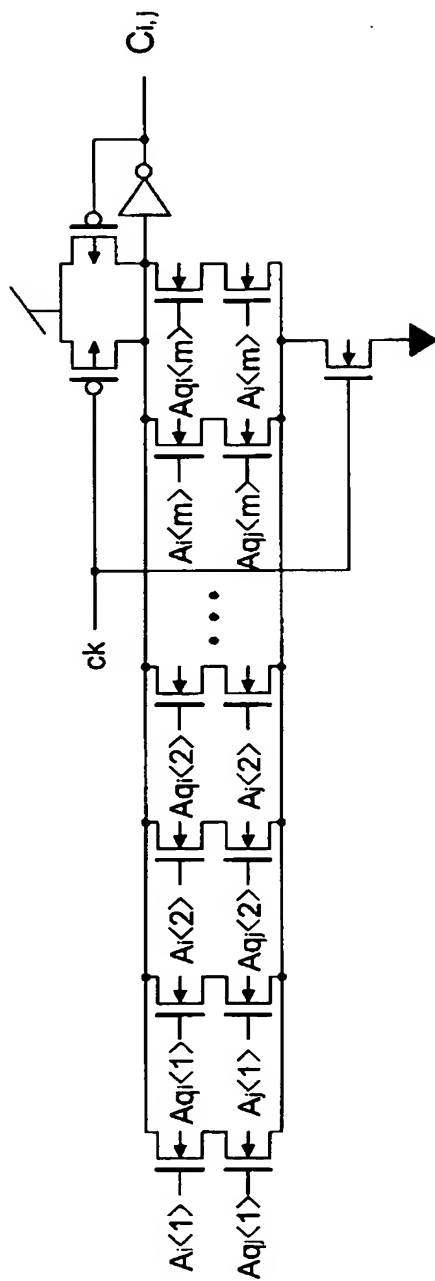
【図 21】



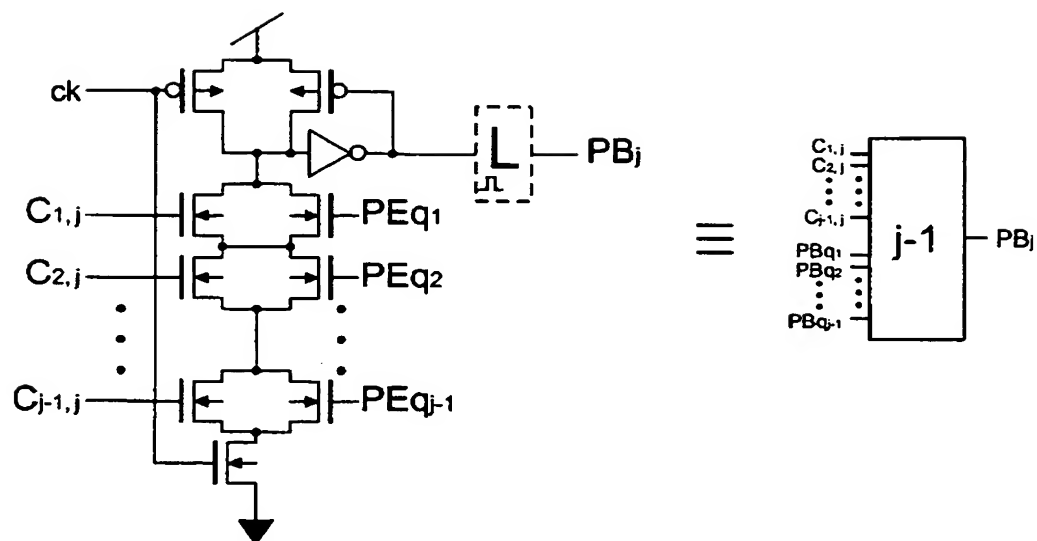
【図 23】

 A_i : ブロックアドレス m : ブロックアドレスビット数 SH : 外部制御信号 $C_{n,n'}$: 衝突検知信号 PB_n : ポートブロック信号

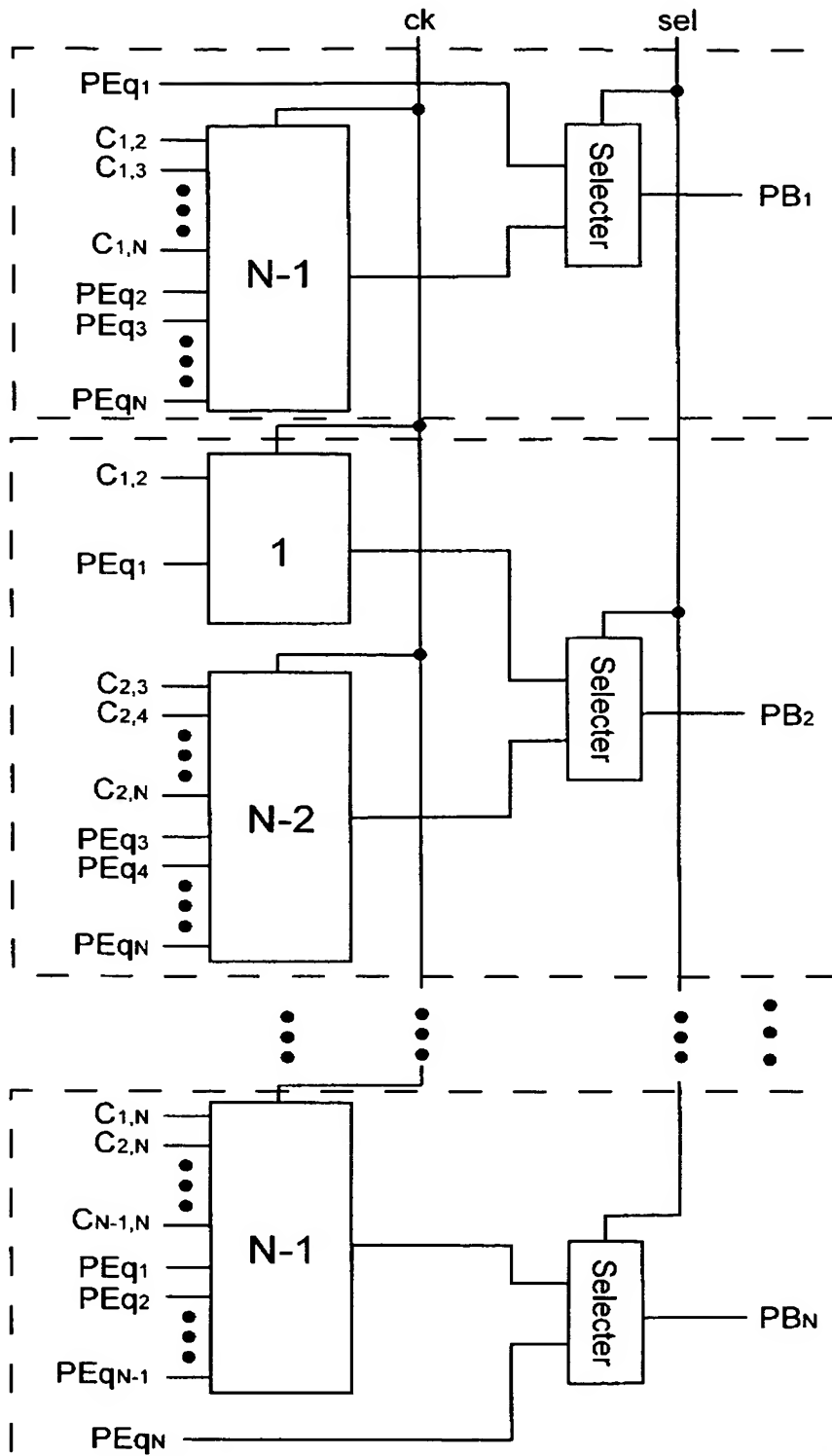
【図 24】



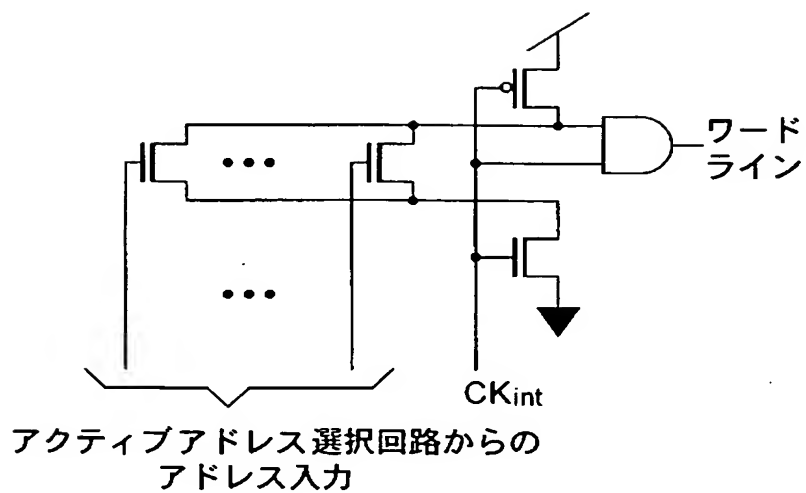
【図 25】



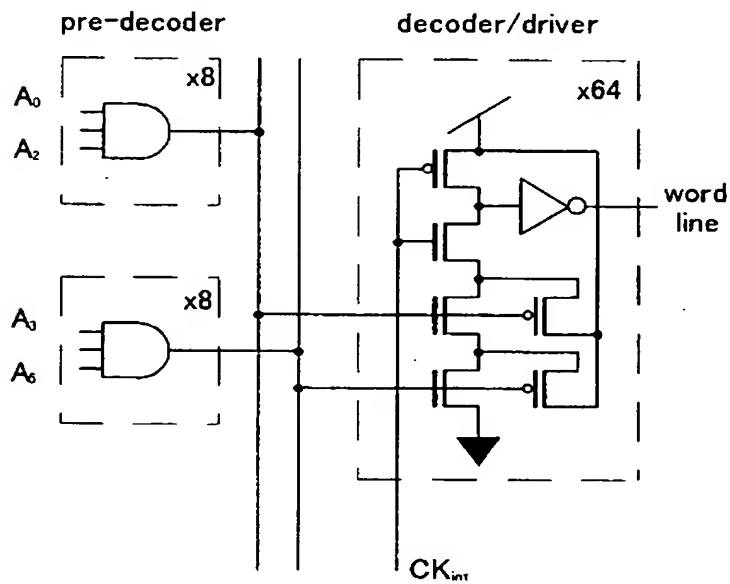
【図 26】



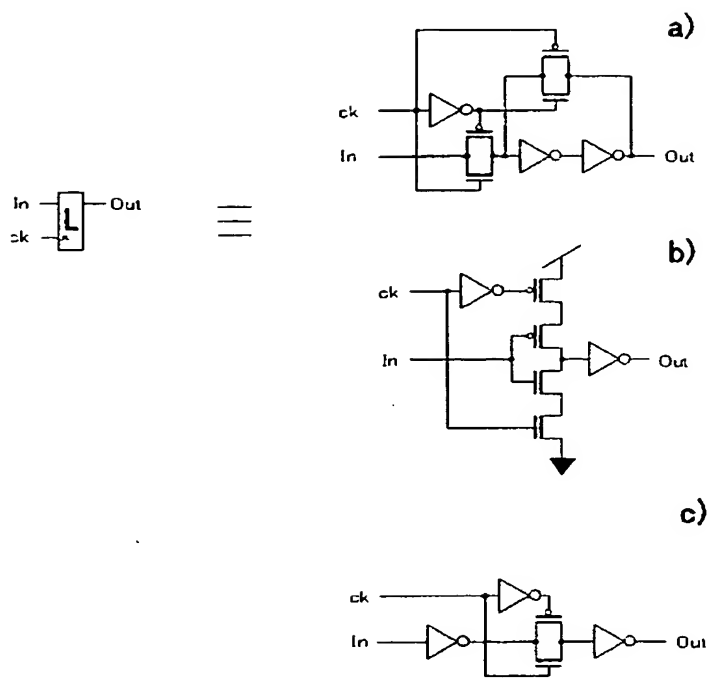
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 同期バンク型メモリにおいてメモリアクセスサイクル時間を短縮する。

【解決手段】 同期バンク型多ポートメモリにおいて、レジスタ／バッファ回路は、外部のポートからのリード／ライト信号とアドレス信号の入力、データ信号の外部のポートからの入力または出力、入力されるポートブロック信号の外部への出力を行う。アクセス競合回避回路は、レジスタ・バッファ回路からアドレス信号を受け取って、バンクへのアクセスの競合が起こる場合にポートブロック信号を発生する。スイッチングネットワーク回路は、レジスタ・バッファ回路からリード／ライト信号とアドレス信号を受け取り、アクセス競合回避回路からのポートブロック信号がない場合に、バンク選択信号を生成して選択されたバンクを活性化する。同期バンク型1ポートメモリも、同様に、構成される。

【選択図】 図1

特願 2 0 0 3 - 1 6 7 9 8 9

出 願 人 履 歴 情 報

識別番号 [3 9 6 0 2 3 9 9 3]

1. 変更年月日 1 9 9 6 年 1 0 月 2 8 日

[変更理由] 新規登録

住 所 東京都港区新橋 6 丁目 1 6 番 1 0 号

氏 名 株式会社半導体理工学研究センター

2. 変更年月日 2 0 0 1 年 3 月 2 3 日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜 3 丁目 1 7 番地 2 友泉新横浜ビ
ル 6 階

氏 名 株式会社半導体理工学研究センター